

Применение метода периферийного сканирования при тестировании изделий электронной промышленности

Цель данной статьи — ознакомить производителей электронной продукции с относительно новой технологией тестирования печатных плат — методом периферийного сканирования, также известного, как *Boundary Scan*. Сегодня эта технология широко используется за рубежом, однако на отечественном рынке применяется лишь для решения частных задач (например, для программирования ПЛИС), и зачастую российский производитель просто не знает обо всех возможностях в плане тестирования, которое предлагает данный метод.

Роман Малышев

info@sovtest.ru

Предпосылки к появлению метода

Согласно требованиям системы менеджмента качества ISO 9001-2000 производство электронных изделий предполагает всесторонний контроль для решения задачи выпуска конкурентоспособной продукции. Инструментом, позволяющим провести мониторинг техпроцесса и исключить вероятность выхода неисправного изделия, является автоматизированное тестовое оборудование (ATE).

Один из самых важных моментов при тестировании — обеспечение доступа к проверяемому изделию и напрямую связанное с ним значение тестового покрытия. Если при функциональном тестировании,

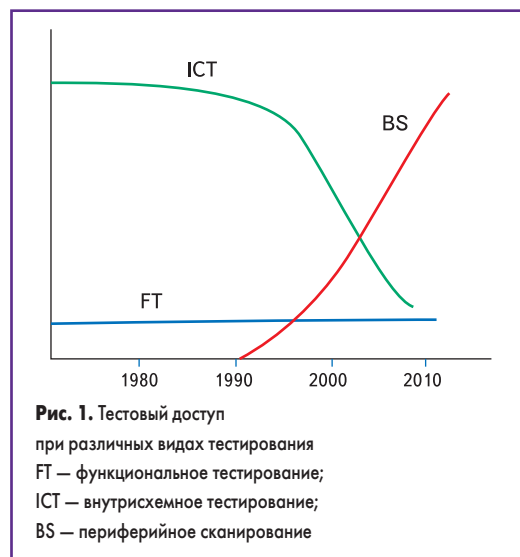
которое развивалось одновременно со становлением самой электронной промышленности, доступ осуществлялся через краевой разъем, то в 1970-х годах, когда началась эра внутрисхемного тестирования, для контакта с проверяемым изделием стали использоваться игольчатые пробники. Таким образом, с помощью адаптеров типа «поле контактов» при внутрисхемном контроле можно было получить доступ практически к любой точке на печатной плате.

Электронная промышленность не стоит на месте, и с появлением новых типов корпусов контакты микросхем располагаются все ближе и ближе друг к другу, так что физический доступ к ним сильно затруднен, а иногда (например, для типов корпусов BGA) вообще невозможен. В этом случае классические методы обеспечения доступа к проверяемому изделию становятся неэффективными, и, соответственно, увеличиваются затраты на тестирование.

Рис. 1 иллюстрирует снижение тестового доступа при классическом внутрисхемном методе тестирования.

Технология периферийного сканирования (*Boundary Scan*) как решение проблемы доступа к тестовым точкам была впервые предложена в 1985 году, а в 1990-м оформлена в промышленный стандарт IEEE-1149.1.

Основная идея этой технологии заключается в замене внешнего физического контакта с помощью игольчатого пробника (тестового пина) на «электронные» контакты, представляющие собой сканирующие ячейки, внедренные между внутренней логикой и выходным контактом микросхемы. Соединенные последовательно, они формируют регистр периферийного сканирования, управление которым осуществляется с помощью лишь четырех внешних



линий. Таким образом, обеспечивается доступ к любому выводу микросхемы, поддерживающей данный стандарт, причем без физического контакта с самой микросхемой. В свою очередь, это предоставляет широкие возможности для тестирования модуля и позволяет локализовать такие дефекты, как непропаи, короткие замыкания, отсутствующие компоненты.

Краткое описание метода

Каждое из устройств, поддерживающих стандарт IEEE-1149.1, должно включать четыре тестовые сигнальные линии:

- TCK (Test Clock) — тестовая частота;
- TMS (Test Mode Select) — вход для сигнала выбора режима доступа к устройству;
- TDI (Test Data In) — вход для тестовой последовательности;
- TDO (Test Data Out) — выход тестовой последовательности.

На рис. 2 изображено устройство, выполненное с поддержкой технологии Boundary Scan.

Для управления состоянием регистров и загрузки в них данных используется встроенный интерфейс, представляющий собой конечный автомат с 16-ю состояниями, также называемый TAP (Test Access Port). Устройство может поддерживать сигнал /TRST, который осуществляет переход TAP в исходное состояние, однако этот сигнал не является обязательным и не регламентируется стандартом IEEE-1149.1.

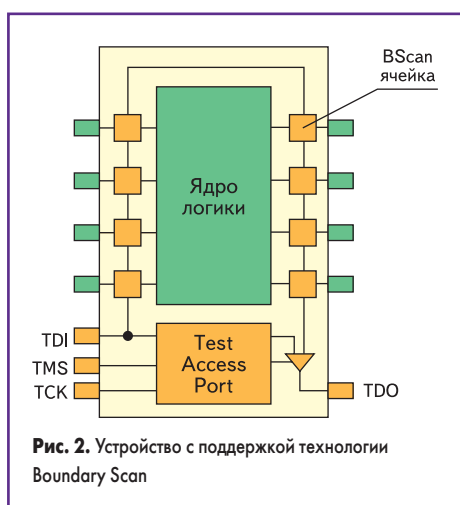


Рис. 2. Устройство с поддержкой технологии Boundary Scan

Микросхемы с поддержкой Boundary Scan при построении схемы могут быть объединены (в большинстве случаев так и происходит) в одну цепочку. При этом выход одной микросхемы (TDO) подключается к входу другой (TDI) и так далее. Сигналы TCK и TMS подаются параллельно на все микросхемы цепочки.

Сферы применения

Зачастую не все микросхемы, установленные на плате, имеют поддержку Boundary Scan, однако если даже хотя бы одно устройство удовлетворяет требованиям стандарта, периферийное сканирование может быть применено для решения некоторых задач на всех этапах жиз-

ненного цикла изделия — от разработки до эксплуатации готовой продукции. Выделим основные сферы применения технологии.

На этапе разработки периферийное сканирование может пригодиться разработчикам для верификации схемы, прошивки микропроцессоров, а также для исследования работы схемы. На этапе сборки изделия периферийное сканирование применяется для внутрисхемного программирования микросхем ПЛИС и Flash-микросхем памяти, то есть микросхемы могут быть запрограммированы непосредственно в составе печатной платы. Если ПЛИС программируется напрямую через JTAG-порт, программирование Flash-памяти осуществляется путем подачи на ее выходы последовательности слов, с установкой режима, соответствующего записи данных в микросхему. Хотя микросхемы Flash-памяти не поддерживают стандарт IEEE-1149.1, это становится возможным из-за того, что обычно Flash-память всеми своими выводами подключена к устройствам, поддерживающим JTAG-стандарт (микропроцессоры, ПЛИС). Помимо записи данных с помощью периферийного сканирования проводится верификация записанной информации, проверка ID-кода микросхем и т. д.

Задача тестирования с помощью данной технологии может быть решена и достаточно просто. Управляя работой JTAG-микросхем, можно проверить правильность построения цепочки (инфраструктуру, правильность установки JTAG-компонентов), протестировать обвязку микросхем (interconnection test), проверить прохождение сигналов между двумя микросхемами. Можно легко протестировать простую логику в том случае, если есть возможность управления этой логикой с помощью BScan-сигналов.

По аналогии с программированием Flash-памяти строится тестирование RAM-памяти. В микросхему памяти записываются данные с последующим контролем. При этом обеспечивается высокая степень локализации дефекта, будь то короткое замыкание по адресным линиям, линиям данных или неисправность самой микросхемы.

Основные тестовые стратегии

Если вернуться к вопросу о выборе тестовой стратегии, надо заметить, что сегодня существует огромный выбор как самих стратегий, так и оборудования для их реализации. Каждая из стратегий имеет свои достоинства, но обладает и определенными недостатками. Можно сказать, что, применив лишь одно из направлений, нельзя получить полное тестовое покрытие и стопроцентно выявить дефекты на электронном модуле. Комбинация тестовых решений даст более ощутимый результат.

Для более полного понимания такого подхода к тестированию и возможности комбинировать основные тестовые стратегии с технологией периферийного сканирования рассмотрим каждое из направлений в отдельности, перечислив их основные достоинства и недостатки.

Функциональное тестирование

Плюсы:

- Высокая достоверность: только при функциональном тестировании можно с уверенностью сказать, работает электронный модуль или нет.
- Относительно невысокая стоимость освоения новых изделий: так как тестирование осуществляется через краевой разъем, не требуется значительных затрат на изготовление адаптеров для подключения.

Минусы:

- Для разработки тестовой программы на один печатный модуль может потребоваться от недели до нескольких месяцев. Срок разработки программы будет определяться сложностью проверяемой печатной платы, в общем случае может потребоваться труд двух человек: специалиста в области электроники (для разработки алгоритма тестирования) и программиста (для непосредственного написания тестовой программы).
- Высокие затраты на ремонт дефектного модуля. В связи с тем, что FT обеспечивает проверку модуля через краевой разъем, данный метод не предоставляет достаточно полной информации о месте нахождения дефекта, и его локализация обычно требует от обслуживающего персонала высокой квалификации, знаний в области электроники, а также опыта. Среднее время на локализацию дефекта может составлять от 30 минут до нескольких часов, в зависимости от сложности платы и типа дефекта.
- Неполное тестовое покрытие, часть скрытых дефектов не определяется. Здесь мы говорим о тех дефектах, которые не влияют на характеристики проверяемого изделия при функциональном тестировании, однако могут сказаться при эксплуатации. К примеру, отсутствие параллельно включенного обмоткам реле диода от ЭДС самоиндукции никак не скажется на работоспособности печатной платы, однако впоследствии может привести к подгоранию контактов реле и выводу его из строя.

Внутрисхемное тестирование

Плюсы:

- Высокая производительность, время тестирования занимает несколько минут.
- Высокая функциональная достоверность: модуль, прошедший внутрисхемный контроль, примерно с 95%-ной вероятностью будет рабочим.
- Высокая разрешающая способность: в связи с тем, что доступ осуществляется практически к каждому компоненту, можно с большой долей вероятности локализовать дефект.

Минусы:

- Высокие затраты на освоение новых изделий: связаны с изготовлением уникального для каждого проверяемого модуля адаптера. Стоимость тем выше, чем сложнее адаптер.
- Хранение и обслуживание тестовых адаптеров требует дополнительных расходов.
- В некоторых случаях доступ к тестовым точкам с помощью игольчатых пробников невозможен. Пример — микросхемы с типом корпуса BGA.

«Летающие» пробники.**Плюсы:**

- Универсальность.
- Низкие требования к тестопригодности плат.
- Ускоренное освоение новых изделий.
- Отсутствие затрат на изготовление тестовых адаптеров.
- Возможность использования в опытном, мелкосерийном, многономенклатурном производствах.

Минусы:

- Относительно длительный процесс тестирования вследствие того, что опрос тестовых точек осуществляется последовательно, «один за другим».
- Дополнительные затраты на обслуживание «летающих» пробников, а также подвижных частей и механизмов.

Оптическая инспекция**Плюсы:**

- Универсальность.
- Быстрое освоение новых изделий.
- Широкое тестовое покрытие.
- Высокая разрешающая способность.

Минусы:

- Основной недостаток — локализация только визуальных дефектов. Определение «невидимых» дефектов невозможно (например, под BGA микросхемами).
- Электрическое тестирование компонентов и цепей отсутствует.
- Теневые эффекты, блики, зависимость от освещения.

Периферийное сканирование**Плюсы:**

- Не требуется физический контакт с тестовыми точками, нет необходимости в изготовлении адаптеров.
- Высокая разрешающая способность, обеспечивается доступ к компонентам, для которых физический контакт невозможен.
- Генерация программ тестирования на основе САД файлов.

Минусы:

- Неполное тестовое покрытие. Проверяются лишь те цепи, которые подключены к микросхеме, поддерживающей JTAG стандарт.
- Для реализации Boundary Scan тестов на проверяемое изделие должно быть подано питание.
- Тестируются только цифровые цепи, аналоговый тест (проверка сопротивления, емкости и т. д.) невозможен.
- Динамические дефекты, то есть дефекты, проявляющиеся в процессе работы модуля, не выявляются.

Комбинация тестовых решений**Внутрисхемный тест и BS, уменьшение тестовых пинов, доступ к недоступным элементам, удешевление адаптера, анализатор производственных дефектов TR-8**

Аналоговые цепи, проверка которых при помощи Boundary Scan тестов невозможна, легко тестируются на системах внутрисхемного контроля. Однако при внутрисхемном

тестировании доступ к некоторым элементам сильно затруднен.

Комбинация внутрисхемного теста с периферийным сканированием увеличит процент тестового покрытия и исключит некоторые недостатки той или иной технологии. К тому же применение Boundary Scan позволит обойтись без использования части подпружиненных пинов и, соответственно, уменьшить стоимость тестового адаптера.

К примеру, на печатной плате имеется около 1200 тестовых точек и выводов компонентов, а также 200 цепей. Кроме того, на печатной плате есть три микросхемы, поддерживающие стандарт Boundary Scan, каждая из которых способна управлять 18-ю цепями на плате, то есть методом периферийного сканирования может быть протестировано $18 \times 3 = 54$ цепи или 27% от общего количества цепей на печатной плате.

Таким образом, уменьшая количество пробников, можно достичь почти трехкратной экономии.

Подобная комбинация тестовых стратегий может быть выполнена на анализаторе производственных дефектов TR-8 производства «Совтест АТЕ», что достигается обычной интеграцией Boundary Scan контроллера в анализатор.



Рис. 3. Тестовая система компании Seica с «летающими» пробниками Pilot Vip

«Летающие» пробники и BS, уменьшение тестовых точек, сокращение времени тестирования, увеличение доступа, тестер с подвижными пробниками Pilot

Контроллер периферийного сканирования также может быть интегрирован в тестер с «летающими» пробниками, что позволит существенно сократить время тестирования печатной платы за счет исключения из тестирования отдельных цепей, которые могут быть проконтролированы с помощью связей Boundary Scan. Подобные решения были внедрены специалистами компании Seica в тестер с подвижными пробниками Pilot (рис. 3).

Оборудование для периферийного сканирования ScanFlex

Фирма GOEPEL electronics предлагает широкий выбор контроллеров периферийного сканирования на основе новой платформы SCANFLEX (рис. 4). Контроллеры могут подключаться как к обычному ПК (интерфейс PCI, USB и др.), так и интегрироваться в существующие PXI/VXI-тестовые системы, системы с «летающими» пробниками, а также в анализаторы производственных дефектов и системы внутрисхемного контроля.

Связь с проверяемым изделием осуществляется через TAP (Test Access Path) трансивер, который обеспечивает подключение проверяемого изделия через тестовые порты (TAP), а также управляет необходимым количеством модулей ввода/вывода. Трансивер управляется непосредственно контроллером Boundary Scan.

Модули ввода/вывода предоставляют дополнительные тестовые каналы и служат для улучшения тестового покрытия проверяемого изделия. Если количество необходимых модулей ввода/вывода SCANFLEX невелико (1–2 модуля), то они могут быть включены непосредственно на TAP-трансивер, тем самым исключая дополнительные соединения. При большом количестве модулей ввода/вы-

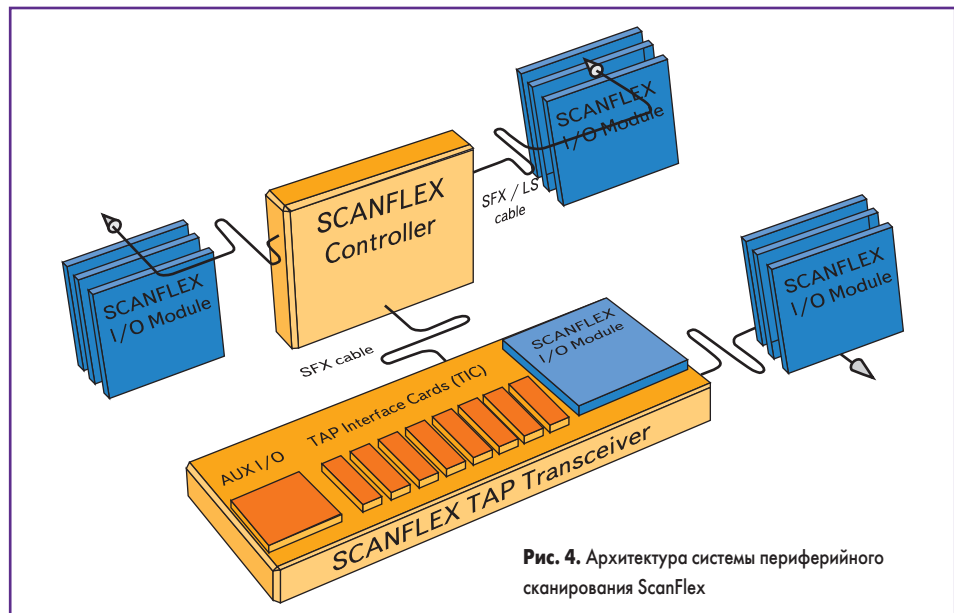


Рис. 4. Архитектура системы периферийного сканирования ScanFlex

вода они могут быть размещены в SCANFLEX-фрейме, связанном с TAP-трансивером через кабель SFX/LS.

По производительности контроллеры делятся на три категории: типы А, В и С, отличающиеся в основном архитектурой буфера обмена данными и возможностью программирования параметров шины данных. Все контроллеры взаимозаменяемы с точки зрения тестового программного обеспечения.

Для ремонта, сервиса, лабораторных исследований идеальным решением являются контроллеры с архитектурой PCI, USB, Ethernet, PCMCIA, Parallel Port, позволяющие при небольших затратах выполнять широкий круг задач по тестированию.



Рис. 5. Контроллеры Boundary Scan, GOEPCL с различным типом интерфейса

Для применения на производстве предлагаются модули с архитектурой VXI или PXI (рис. 5), которые встраиваются в тестовые системы функционального и внутрисхемного контроля. В тестовую систему может быть встро-

но несколько контроллеров, которые в комплекте с модулями цифрового ввода/вывода, блоками питания, генераторами и т. д. позволяют обеспечить высокое тестовое покрытие для насыщенных плат с ограниченным доступом. ■