

Стратегия тестирования электронных модулей методом периферийного сканирования с помощью программного средства CASCON, Göpel electronic

В статье подробно рассказано об одном из программных продуктов, позволяющем управлять процессом тестирования электронных модулей методом периферийного или, как еще его принято называть, граничного сканирования. Данный продукт уже с успехом используется на нескольких предприятиях, он зарекомендовал себя как достаточно мощный инструмент для создания тестовых программ и анализа отказов электронных модулей на этапе их производства.

Михаил Курбанов

mikhail_kurbanov@mail.ru

Роман Малышев

malyroman@sovtest.ru

Введение

CASCON GALAXY — это программный продукт компании GÖPEL electronic (Германия), который представляет собой среду разработчика, позволяющую выполнять следующие функции:

- генерацию тестовых программ для метода периферийного сканирования;
- внутрисхемное программирование микросхем ПЛИС;
- программирование микросхем Flash-памяти;
- создание и выполнение пользовательских программ, написанных на языке CASLAN, входящего в состав CASCON.

Задание и считывание сигналов с JTAG-интерфейса осуществляется при помощи контроллеров серии Scan Booster либо серии Scan FLEX, которые подключаются к тестовой рабочей станции типа IBM PC через интерфейсы PCI (PXI), USB, LAN.

Основные этапы разработки тестов электронных модулей в среде CASCON

Разработка тестов электронных модулей в любом программном обеспечении и в системе CASCON GALAXY, в частности, осуществляется по следующим этапам:

1. Предварительный импорт CAD-файла (NET-листа, списка соединений), описывающего тестируемый электронный модуль. Поддерживаются форматы CAD-файлов практически всех систем автоматизированного проектирования печатных плат. По сути, данный этап наиболее важен с точки зрения дальнейшей разработки программы. От того, насколько правильно и корректно будет осуществлено преобразование CAD-файла в формат CASCON, зависит и наличие ошибок в будущем проекте, а также, что немаловажно, возможность дальнейшей автоматической генерации тестов.

2. Поиск соответствия моделей микросхем, установленных на плате, моделям, содержащимся в библиотеке электронных компонентов CASCON (с поддержкой граничного сканирования или без нее) и других компонентов модуля (резисторов, конденсаторов, диодов, разъемов и т. д.). При необходимости отсутствующие модели описываются встроенными средствами. Это достаточно важный этап, который позволяет указать программе, какие компоненты есть на модуле и как ими управлять. Отметим, что создание собственных моделей компонентов (в данном случае мы говорим о компонентах без поддержки периферийного сканирования) не представляет собой сложный процесс. По сути, создаваемая модель должна описывать функционирование того или иного компонента. Приведем пример модели для микросхемы, представляющей собой управляемый буфер:

```
(FUNCTION
(BUS
(ENABLECONDITION (LOW OE1))
(PIN Y1:=A1)
)
)
(BUS
(ENABLECONDITION (LOW OE2))
(PIN Y2:=A2)
)
)
(BUS
(ENABLECONDITION (LOW OE3))
(PIN Y3:=A3)
)
)
(BUS
(ENABLECONDITION (LOW OE4))
(PIN Y4:=A4)
)
)
)
```

3. Определение последовательности Boundary Scan микросхем в JTAG-цепочке. Программа выполняет это автоматически на основании CAD-файла и моделей микросхем.
4. Автоматическая генерация тестовых программ различных типов (ATPG).

5. Автоматическая генерация программ для внутрисхемного программирования.
6. Выполнение тестовых программ и локализация неисправности, в случае если результат тестирования отрицательный. Отображение информации о неисправности выводится как в текстовом окне отчета, так и визуально на схеме или внешнем виде модуля.

Тесты периферийного сканирования

Типы тестов периферийного сканирования:

1. Тест инфраструктуры (infrastructure test). Позволяет проверить работоспособность JTAG-цепочки, считать ID-код каждой микросхемы, включенной в цепочку. Если на модуле имеется несколько BS-цепочек, необходим контроллер с несколькими независимыми TAP-портами.
2. Тест электрических цепей (interconnection test). Выявляет дефекты электрических цепей: короткие замыкания, разрывы, непопаи и т. д. Данный тест выполняют только для цепей, которыми можно управлять при помощи микросхемы с поддержкой BS.
3. Тесты микросхем ОЗУ (RAM). Выявляют дефекты адресных линий, линий данных и управления, а также неисправность самих микросхем. Алгоритм для данного типа теста включает в себя общепринятые методы формирования тестовых воздействий, такие как «бегущий ноль», «бегущая единица» и т. д.
4. Тест микросхем «прозрачной» логики (cluster). Данный тест определяет работоспособность микросхем, реализующих функции простейшей логики. Программа создает его в автоматическом режиме на основании моделей микросхем и их функционального назначения.

Тест инфраструктуры: принцип работы

Этот тест позволяет проверить работоспособность JTAG-цепочки, состоящей из микросхем, поддерживающих технологию Boundary Scan. Он состоит из следующих этапов:

1. Считывание ID-кодов всех микросхем, входящих в цепочку (проверка регистров IDCODE) (рис. 1). На этом этапе во все микросхемы загружаются инструкции IDCODE, затем начинается последовательный сдвиг данных регистров IDCODE и считывание их значений контроллером периферийного сканирования.

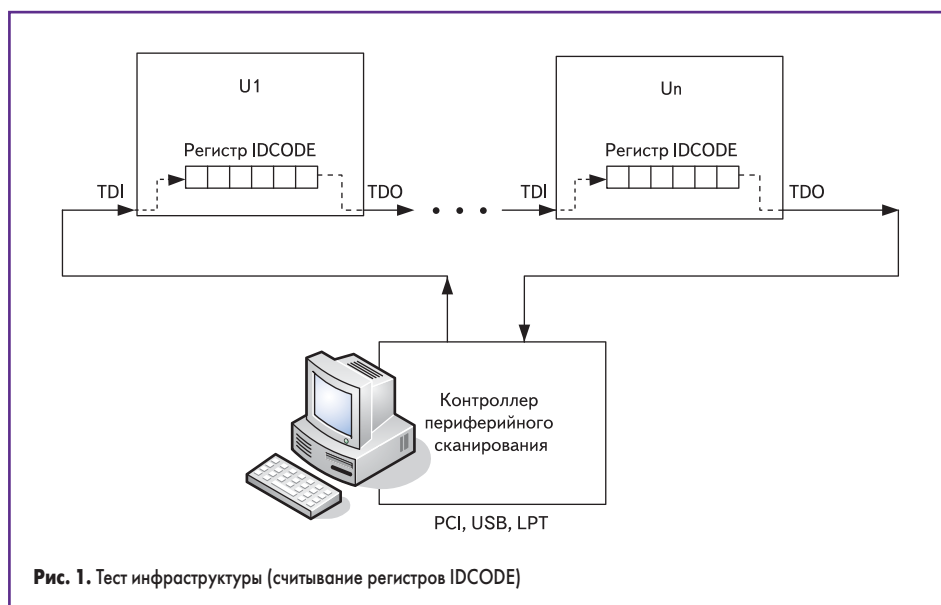


Рис. 1. Тест инфраструктуры (считывание регистров IDCODE)

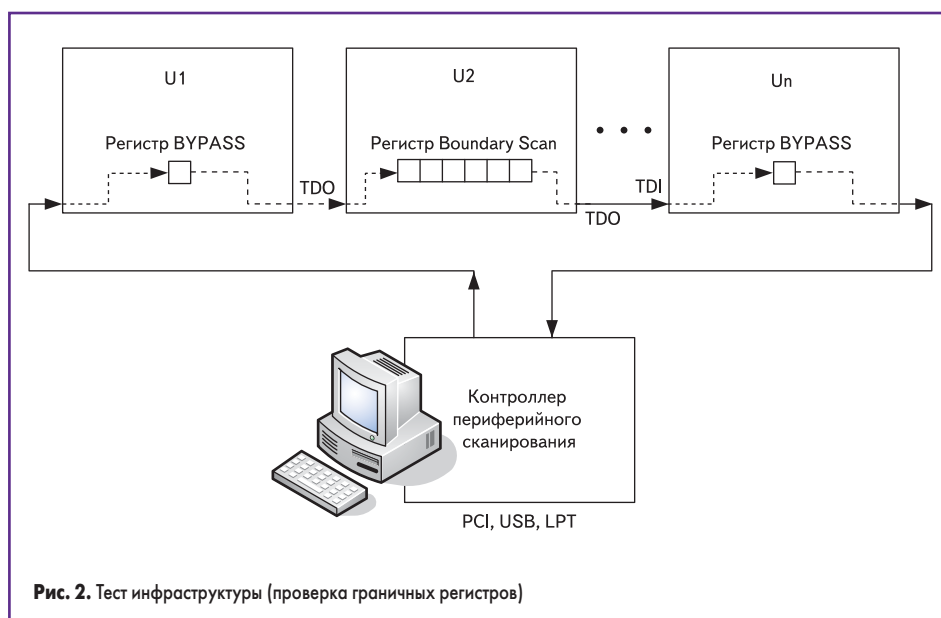


Рис. 2. Тест инфраструктуры (проверка граничных регистров)

ферийного сканирования. Считанные коды проверяются на корректность.

2. Проверка граничных регистров микросхем цепочки (рис. 2). Во все микросхемы цепочки загружается инструкция BYPASS, кроме микросхемы, у которой проверяется граничный регистр Boundary Scan (в нее загружается инструкция SAMPLE/PRELOAD). После этого выполняется последовательное продвижение уникальной двоичной сигнатуры (TEST BYTE) в цепочку. Сигнатура не должна измениться при прохождении через все

BYPASS-регистры и проверяемый граничный регистр (цепочка должна быть «прозрачна»). Аналогично проверяются регистры Boundary Scan всех микросхем JTAG-цепочки.

Система CASCON GALAXY автоматически генерирует тест инфраструктуры на основании информации о порядке следования Boundary Scan микросхем в JTAG-цепочке, а также данных о BSDL-моделях этих микросхем.

Продолжение следует