

Окончание. Начало в № 7'2008

Стратегия тестирования электронных модулей методом периферийного сканирования с помощью программного средства CASCON, Göpel electronic

В статье описан тест, который предназначен для поиска дефектов электрических цепей, таких как короткие замыкания, разрывы и др.

Михаил Курбанов

mikhail_kurbanov@mail.ru

Роман Малышев

malyroman@sovtest.ru

Выводы о наличии дефекта производятся на основании анализа тестовой последовательности в контроллере периферийного сканирования. Тест электрических цепей (рис. 1) генерируется автоматически на основании данных о JTAG-цепочке (порядке следования BS-микросхем в цепочке и сведений об их BSDL-моделях), а также данных о списке цепей электронного модуля (net list).

Тест на целостность электрических цепей ("Open Test")

На рис. 2 приведен пример проверки целостности простейшей цепи «А–В–С», где «А» — выходная BS-ячейка, а «В» и «С» — входные BS-ячейки. Данные ячейки могут принадлежать одной или разным микросхемам JTAG-цепочки. Для проверки целостности этой цепи необходимо убедиться, что при последовательной записи в выходную ячейку «А» логических значений «0» и «1» соответствующее значение считывается входными ячейками «В» и «С».

Тест на короткие замыкания электрических цепей ("Short Test")

Тест на короткое замыкание между цепями «А–В» и «С–D» производится путем управления выходными BS-ячейками «А» и «С» и считывания данных входными ячейками «В» и «D» (рис. 3).

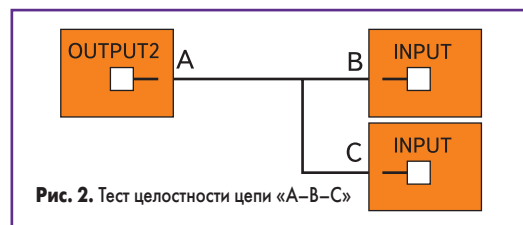


Рис. 2. Тест целостности цепи «А–В–С»

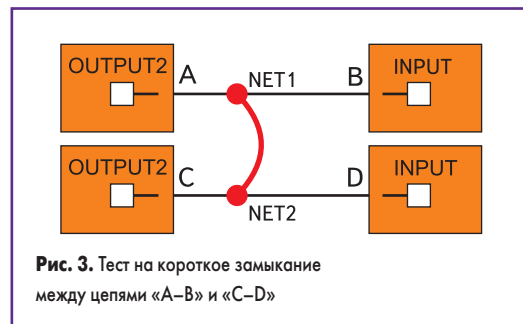


Рис. 3. Тест на короткое замыкание между цепями «А–В» и «С–D»

Тест «прозрачной» логики

Тест «прозрачной» логики осуществляется аналогично тестам на целостность электрических цепей и короткие замыкания. На рис. 4а приведен фрагмент электрической схемы с «прозрачной» логикой U702A. Участок «В–С» должен быть «прозрачен». Сигнал между выходной и входной BS-ячейками не проходит вследствие разрыва линии «С–D». Входная BS-ячейка «залипла» на высоком уровне. Сообщение об этом выглядит следующим образом:

```
max. report (without test step table):
-1- Line BSN14 defective:
-34- NP U702:#3
-51- 1. Prim. pin: U700: BIP31 (#58)
-2- 1. Output pin: U700: BIP32 (#67)
-3- 1. Input pin: U700: BIP32 (#67)
-9- Stuck at High of the line
```

На рис. 4б приведен тот же фрагмент электрической схемы с диагностированием короткого замыкания между линией BSN13 и «землей». Входная ячейка «залипла» на низком уровне, так как линия BSN13

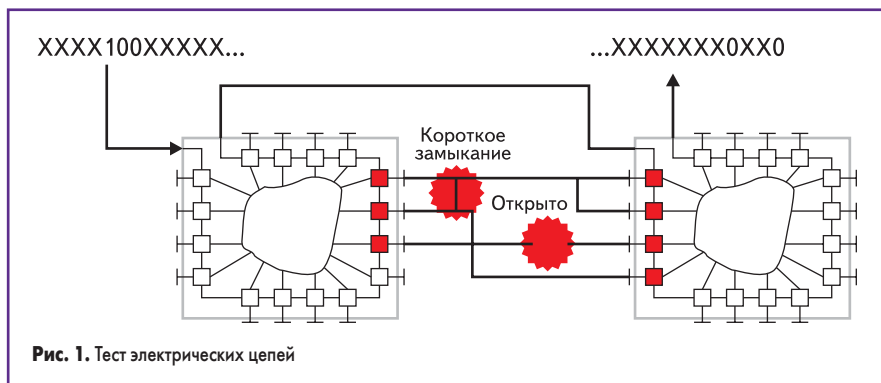


Рис. 1. Тест электрических цепей

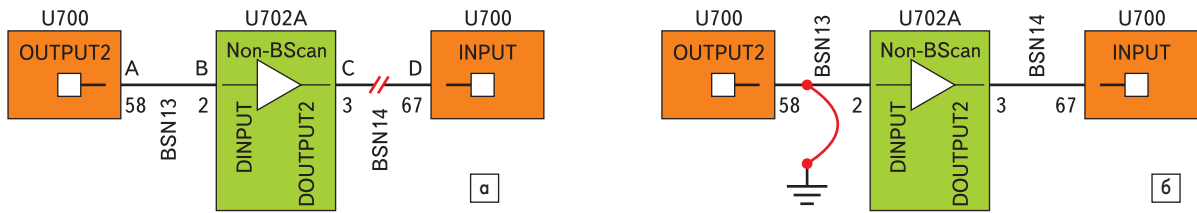


Рис. 4. Тест «прозрачной» логики: а) пример разрыва цепи; б) пример короткого замыкания

замыкается с «землей». Сообщение об этом выглядет так:

- 1- Line BSN13 defective:
- 34- NP U702:#2
- 2- 1. Output pin: U700: BIP31 (#58)
- 3- 1. Input pin: U700: BIP31 (#58)
- 8- Stuck at Low of the line

- 1- Line BSN14 defective:
- 34- NP U702:#3
- 51- 1. Prim. pin: U700: BIP31 (#58)
- 2- 1. Output pin: U700: BIP32 (#67)
- 3- 1. Input pin: U700: BIP32 (#67)
- 8- Stuck at Low of the line

Тесты ОЗУ: принцип работы

Тесты микросхем памяти позволяют обнаружить дефекты линий (адресных, данных, управления), а также неисправность самой микросхемы (рис. 5). Микросхема памяти должна быть подключена своими выводами к микросхеме Boundary Scan. Путем управления выводами BS-микросхемы в микросхему памяти записываются по всему диапазону адресов различные значения («бегущие 1», «бегущие 0» и др.). После этого осуществляется считывание значений по тем же адресам, что и при записи. Несовпадение считанного и записанного значений указывает на наличие дефекта:

- 1- Line B1 defective:
- 2- 1. Output pin: U300: IO30 (#30)
- 3- 1. Input pin: U300: IO30 (#30)
- 55- RAM DATA [1] pin: U501: DQ1 (#4)
- 8- Stuck at Low of the line

На рис. 6а приведен пример тестирования микросхемы памяти U501, подключенной к Boundary Scan микросхеме U300 линиями адреса, данных и управления. Диагностическое сообщение CASCON GALAXY указывает на разрыв линии данных «D1»:

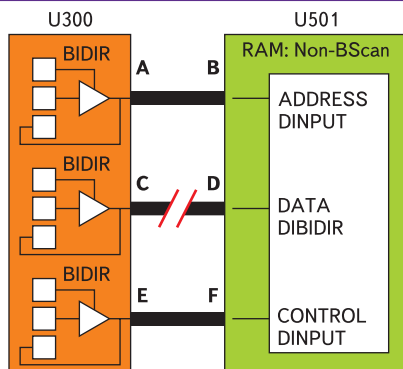


Рис. 5. Тест микросхемы памяти (пример разрыва линии данных)

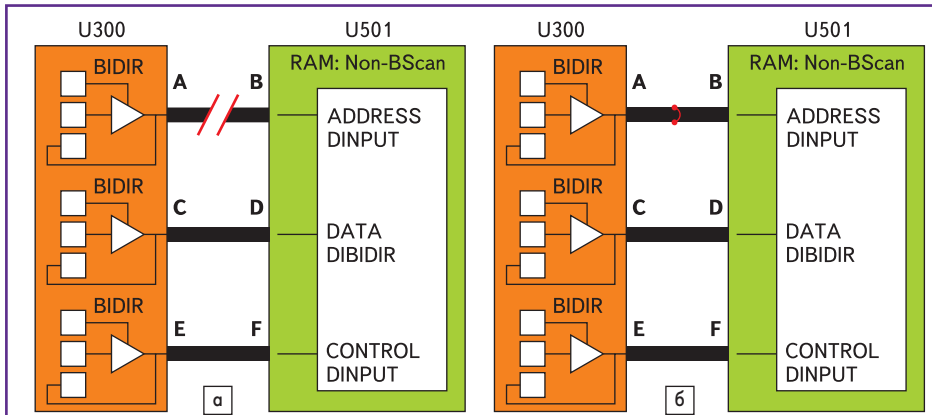


Рис. 6. Тест микросхемы памяти:

а) пример разрыва адресной линии; б) пример короткого замыкания адресных линий

- 1- Line ADR0 defective:
- 2- 1. Output pin: U300: IO1 (#1)
- 3- 1. Input pin: U300: IO1 (#1)
- 55- RAM ADDR [0] pin: U501: A0 (#23)
- 56- Open or stuck at X of the line

Дефект определяется входной ячейкой микросхемы U300.

На рис. 6б приведен пример тестирования микросхемы памяти U501 при коротком замыкании. Сообщение об этом выглядет следующим образом:

- 1- Line ADR4 defective:
- 2- 1. Output pin: U300: IO7 (#7)
- 3- 1. Input pin: U300: IO7 (#7)
- 55- RAM ADDR [4] pin: U501: A4 (#29)
- 15- Line is connected with line ADR5.
- 2- 1. Output pin: U300: IO8 (#8)
- 3- 1. Input pin: U300: IO8 (#8)
- 55- RAM ADDR [5] pin: U501: A5 (#30)

Пример использования программной системы CASCON GALAXY совместно с аппаратной системой SCAN BOOSTER PCI

Приведем пример тестирования электронного модуля BT23-202 производства конструкторского бюро «Корунд-М» при помощи системы CASCON GALAXY.

Разработка проекта начинается с импорта CAD-файла. В нашем случае это netlist-файл BT23-202M – BT23-202M (VME).net, сгенерированный в САПР PCAD на основе РСВ-файла для печатной платы BT23-202 (рис. 7).

Для увеличения тестового покрытия будет выполнена проверка одновременно двух модулей BT23-202, объединенных шиной VME. При этом помимо проверки каждого из моду-

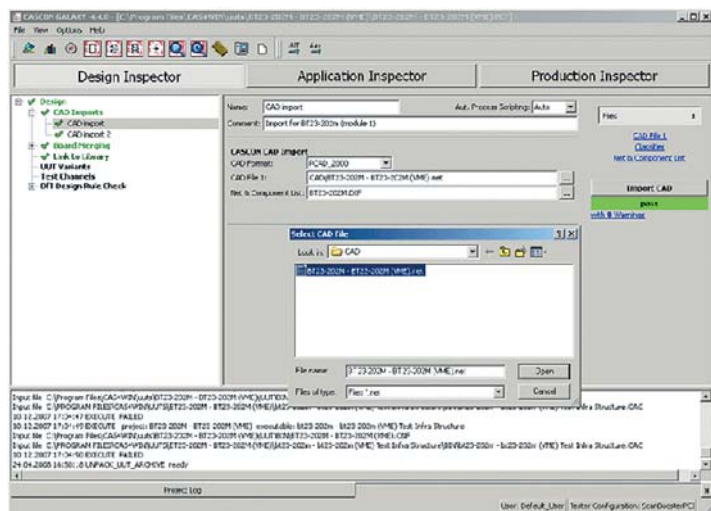
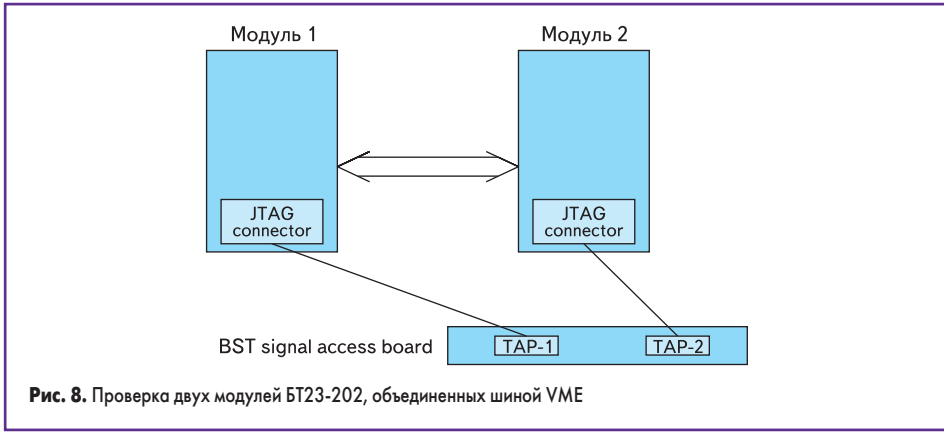


Рис. 7. Импорт CAD-файла



лей проверяются и электрические цепи шины VME (рис. 8). В данном варианте тестирования задействуются оба TAP-порта платы BST signal access board, которая управляется сигналами контроллера периферийного сканирования SCAN BOOSTER PCI.

Для данной проверки необходимо в программной среде «склеить» цепи шины VME для обеих плат BT23-202. Выполняется это в интерактивном редакторе, встроенном в CASCON.

Префикс «b2_» (рис. 9) обозначает принадлежность электронных компонентов, цепей, разъемов второй плате BT23-202.

После объединения net-листов автоматически генерируется файл «Net & Component List» с именем BT23-202M – BT23-202M (VME)_MERGED.DIF, который содержит информацию об электрических цепях и компонентах двух плат BT23-202, соединенных по шине VME.

Далее осуществляется поиск моделей для электронных компонентов модуля BT23-202

во встроенной в CASCON GALAXY библиотеке компонентов. Отсутствующие модели, при необходимости, можно создать вручную на основе документации на электронные компоненты (рис. 10).

Затем описывается порядок следования Boundary Scan микросхем в цепочке (рис. 11). Микросхемы модуля BT23-202 в направлении от сигналов TDI до сигналов TDO следуют в таком порядке: D10, D11, D12, D13, D1. Указание данной последовательности показано на рис. 20. «SCANPATH 1» описывает JTAG-цепочку для первого модуля BT23-202, а «SCANPATH 2» — JTAG-цепочку для второго модуля BT23-202.

Указанные действия завершаются генерацией «пути сканирования» и генерацией файла BScan Net List. Полученные файлы служат основой для последующего создания тестов. После генерации тестов они должны быть скомпилированы для возможности запуска тестов отдельно от среды разработки (рис. 12).

Тесты ОЗУ генерируются отдельно для каждой из микросхем ОЗУ.

Помимо автоматической генерации тестовых программ система CASCON GALAXY

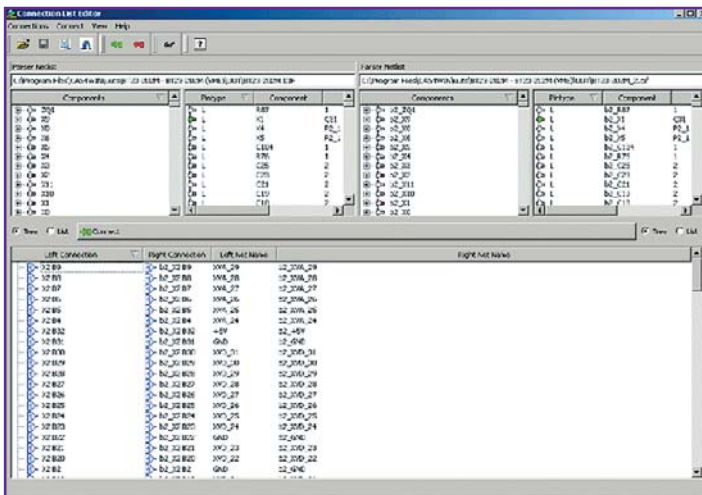


Рис. 9. «Склейка» цепей шины VME

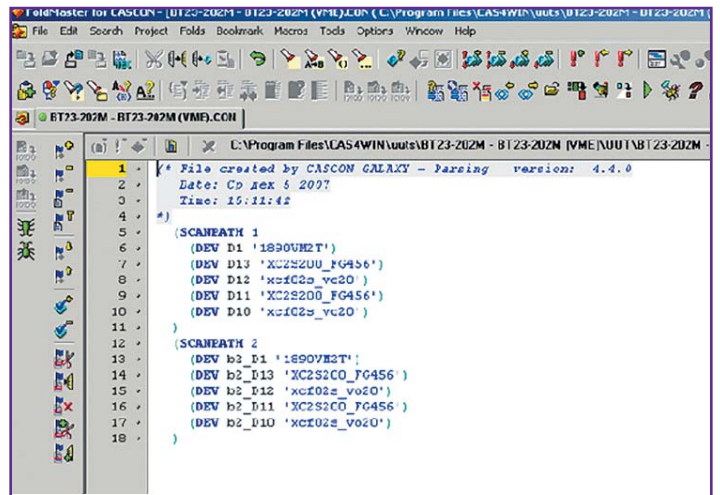


Рис. 11. Определение порядка следования микросхем в JTAG-цепочке

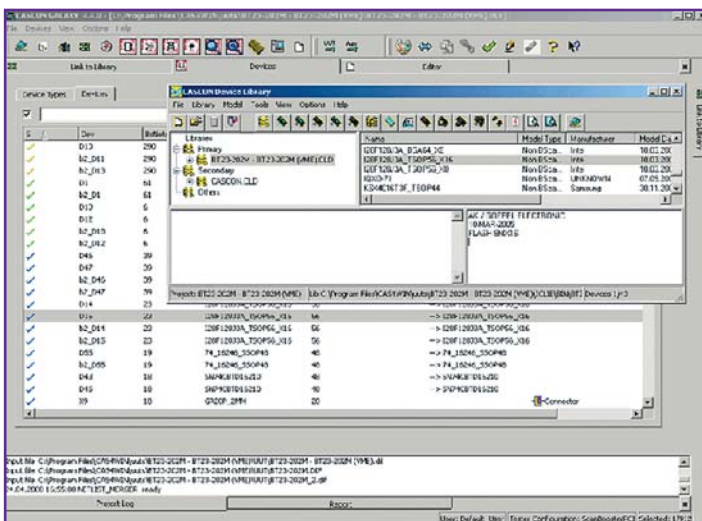


Рис. 10. Поиск моделей электронных компонентов в библиотеке CASCON DEVICE LIBRARY

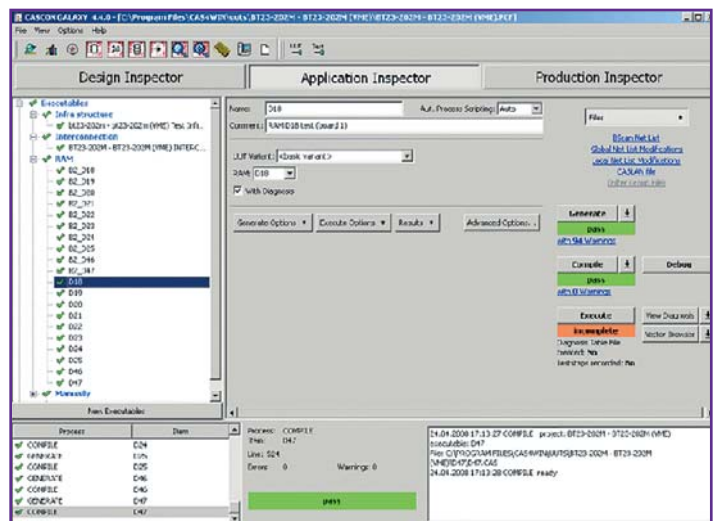


Рис. 12. Генерация тестов ОЗУ

```

31 BEGIN
32 _L1
33
34 WRITEFILE("Copy file genm.kol to directory of program files\caslan\BT23-202m");
35 WRITEFILE("add press.asp.asp");
36
37 READBIN V_L1;
38
39 FORPR(FILK_3,"\\Program Files\CASLAN\BT23-202m\genm.kol",#0);
40
41 FORPR(FILK_2,"file_bin");
42
43 FORPR(FILK_3,"\\Program Files\CASLAN\BT23-202m\read_data.dat",#0);
44
45
46 FORPR(FILK_1,#);
47 FORPR(FILK_2,#);
48
49 TAPESCRT;
50
51 LD D12_EXTST;
52 INCHIFF;
53
54 DISABLE(D13: #V2, #V1, #V2, #V2, #V1, #V1, #V2);
55 ENABLE(D13: #V1, #V1, #V2, #V2, #V2, #V2, #V4, #V2, #V4, #V1,
56 #V1, #V1, #V1, #V1, #V1, #V2);
57
58 ENABLE(D13: #A4, #V6, #V2, #V1, #V1);
59
60 LD T_OC1;
61 LD T_OC1;
62 LD T_OC1;
63 LD CS_SCA.1; -- Disable System COM 1
64 LD CS_SCA.2; -- Disable System COM 2
65 INCHIFF;
66
67 WAIT 500;
68
69
70

```

Рис. 13. Фрагмент исходного кода программы считывания данных из Flash-памяти

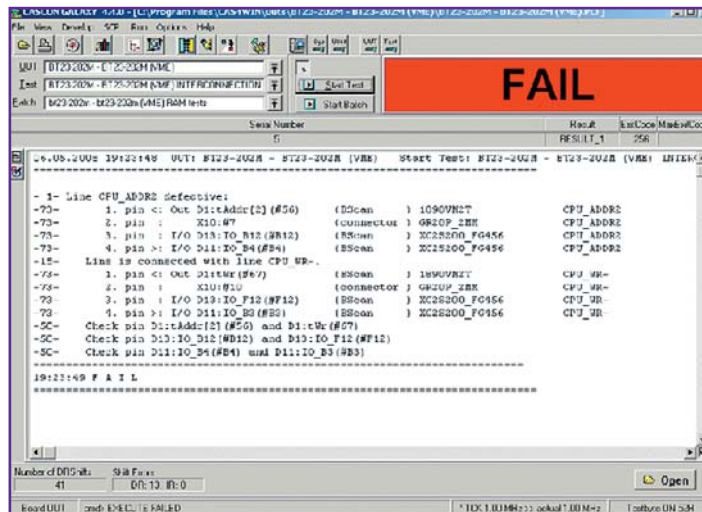


Рис. 15. Реальный отчет о тестировании модуля с неисправностью типа замыкания между сигнальными цепями



Рис. 14. Стенд для проверки модулей BT23-202 при помощи метода периферийного сканирования

позволяет разработчику создавать собственные программы при помощи языка программирования CASLAN. На рис. 13 приведен фрагмент исходного кода программы на языке CASLAN — это пример считывания данных из микросхемы Flash-памяти D27 (там записана программа начальной загрузки) и сравнения их с эталонными значениями.

Для выполнения сгенерированных тестов и проверки собранных модулей был собран стенд, изображенный на рис. 14. Проверяемые модули вставляются в VME-крейт, с которого подается питание. JTAG-разъемы модулей BT23-202 соединяются с контроллером периферийного сканирования, установленным в рабочей станции.

При применении метода периферийного сканирования позволило получить до 90% тестового покрытия для проверяемого модуля BT23-202, основу которого составляют микросхемы в VGA-корпусах, а также дало возможность сократить время на поиск неисправности и ремонт. К тому же, при применении такого стенда удалось осуществить локализацию неисправностей и ремонт модулей, до этого считавшихся неремонтопригодными. На рис. 15 показан реальный отчет о тестировании одного из таких модулей с неисправностью типа замыкания между сигнальными цепями.