

Тестирование электронных устройств на производстве:

обзор методов, анализ достоинств и недостатков

Функциональный контроль и тестирование сборки — неотъемлемые этапы производства новых устройств. От их полноты и качества зависит надежность работы и удобство эксплуатации продукта. Эти характеристики важны для массовой потребительской продукции и особенно — для сложной потребительской электроники. В статье представлен обзор основных методик и задач тестирования электроники на производстве, который даст читателю общее понимание всего процесса обеспечения качества, позволит разобраться с достоинствами и недостатками различных технологий тестирования и выбрать оптимальный набор методик для своего производственного проекта.

Сергей Ковалев

manufacturing@promwad.com

Краткий обзор видов тестирования на производстве

В общем виде процесс подготовки и тестирования электронного изделия на производстве выглядит так:

- Проектирование и создание стенда для прошивки и тестирования с использованием JTAG/ICT-тестирования.
 - Разработка системы тестов и параметров контроля качества и приемки на производстве.
 - Автоматизированная или ручная проверка функциональности.
- Тестирование устройства и его отдельных частей в процессе производства можно реализовать на базе следующих методик и технологий:
- Визуальный автоматизированный контроль (AOI, AXI¹) — это предварительная проверка качества, которая используется на любом контрактном производстве, она проходит на разных стадиях монтажа печатных плат, в том числе с помощью рентгеновского излучения, для проверки невидимых глазу или стандартным оптическим системам мест.
 - Внутрисхемное тестирование (ICT/FICT²) — проверка соединений и компонентов на печатной плате, анализ электрических параметров всей схемы либо отдельных ее участков.
 - Метод на основе контакта пробников с узлами собранной платы: это может быть как стационарное поле контактов («ложе гвоздей», англ. — bed of nails), так и «летающие» щупы или «летающие» матрицы. Часто для него требуются сложное и дорогостоящее оборудование, технологическая подготовка и изготовление специальной оснастки.

- Периферийное/граничное сканирование — тестирование с помощью JTAG. Основано на использовании в микросхемах поддержки стандарта IEEE 1149.

- Функциональное тестирование (FCT³) — тестирование собранных или частично собранных устройств на выполнение заданной функциональности и на соответствие параметрам, которые заложены в спецификации на прибор.

Все перечисленные методики позволяют проверить качество электроники в процессе производства, однако в некоторых случаях тестирование устройства проводится только на финальном этапе. Это так называемое тестирование после окончательной сборки (EOL⁴) — проверка функциональности и соответствия спецификации. Оценивается не только качество, но и стабильность, а также надежность устройства. Такой анализ электроники проводят с помощью сложного стендового оборудования, которое имитирует систему, в составе которой работает тестируемое устройство. Если по результатам такой проверки процент брака превышает предварительную оценку, тогда корректируется технология производства и запускается очередная пробная партия устройств. И так несколько итераций.

На практике лучшие результаты показывают методики, которые используются в процессе производства, то есть функциональное и внутрисхемное тестирование, так как они позволяют оперативно получить информацию и определить конкретные этапы, на которых появляются проблемы. Благодаря этому можно внести корректировки в производственный процесс еще до окончательной сборки устройства.

Рассмотрим эти методики тестирования более подробно, от общего к частному, начиная с анализа функциональности собранных или частично собранных устройств и заканчивая особенностями внутрисхемного тестирования печатных плат.

1 AOI — automated optical inspection. AXI — automated x-ray inspection.

2 ICT — in-circuit testing. FICT — fixtureless in circuit testing.

3 FCT — functional testing.

4 EOL — end of line (testing).

Функциональное тестирование на производстве

Функциональное тестирование может проводиться как в ручном, так и в автоматическом режиме. Естественно, при составлении тест-планов ручной труд стараются свести к минимуму, оставив оператору лишь подключение/отключение устройства, а также контроль годности.

При грамотном подходе эта методика способна охватить практически всю функциональность устройства за рекордно короткие сроки. Однако без разработки тестового программного обеспечения и изготовления специальной оснастки тут не обойтись.

Тестирование можно разделить на проверку основных частей устройства (процессора, памяти, прочих модулей) и проверку периферийных интерфейсов. Для тестирования процессорной части создается специальная программа, которая в автоматическом режиме задает особые параметры работы, проводит инициализацию всех микросхем устройства, опрашивает их и на основе полученных результатов делает вывод о работоспособности. После проверки основных частей проводится последовательное включение рабочего режима для каждой составной части устройства и проверка ее функционала. Например, для тестирования Ethernet-интерфейсов программа поочередно проводит инициализацию каждого порта, а если их несколько — задает временные MAC- и IP-адреса, пересылает пакеты и анализирует результат.

Степень покрытия изделия тестами определяется индивидуально для каждого типа устройства на основе анализа электрической схемы, доступных для тестирования модулей и интерфейсов.

На рис. 1 приведен пример схемы стенда функционального тестирования собранных устройств. Он позволяет тестировать пять устройств одновременно, последовательно проверяя весь функционал каждого. В процессе сверяются версии прошивки отдельных модулей, и в случае необходимости проходит прошивка свежей версии. После удачного прохождения тестов программа выдает устройству MAC-адрес, серийный номер и предустановленные пароли.

Стенды функционального тестирования могут включать вспомогательные программные и аппаратные средства для персонализации устройства, удаленного сбора информации о тестируемых устройствах и генерации отчетности о дефектах.

К неоспоримым плюсам функционального тестирования можно отнести возможность конечной прошивки, проверку и обновление версий ПО модулей системы, выдачу персональных данных устройству при использовании высокоуровневых протоколов и скоростных интерфейсов.

Стенды функционального тестирования могут встраиваться в автоматизированные системы предприятия (производства) и обеспечивать учет и сбор статистической информации с производственных участков и ОТК.

Основные недостатки этого способа проверки устройств — это необходимость изготовления специализированной оснастки и написание

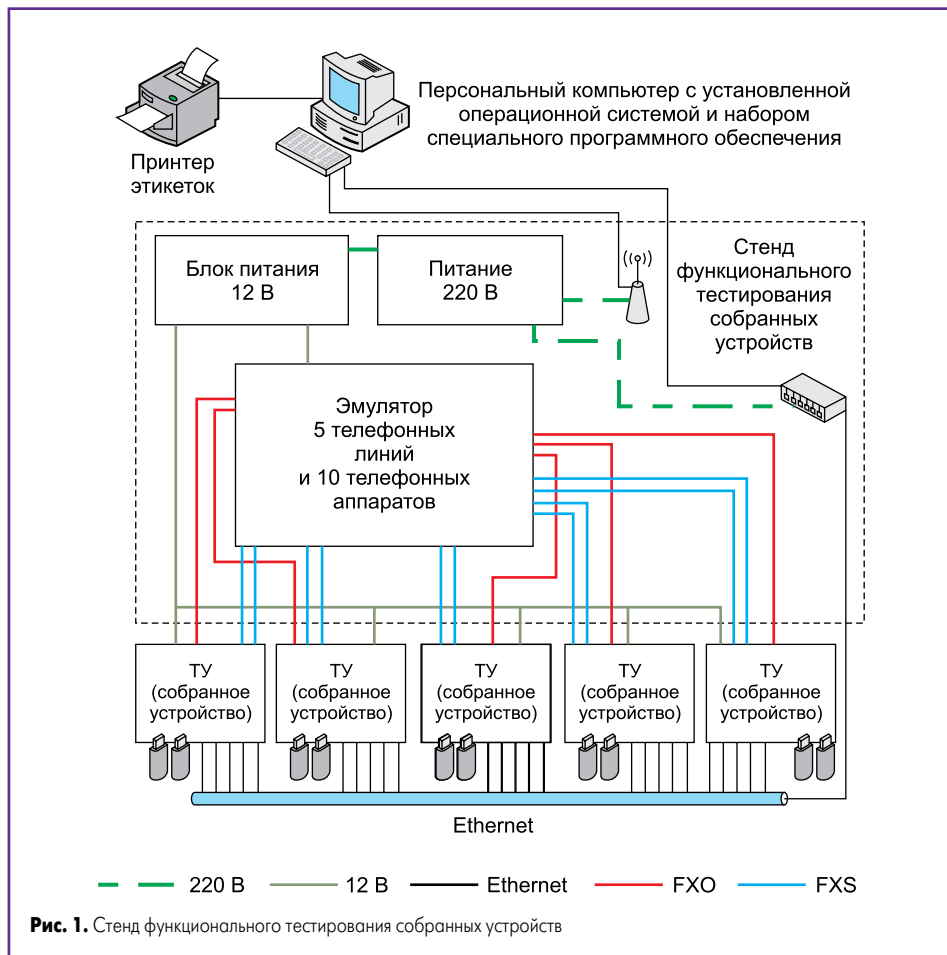


Рис. 1. Стенд функционального тестирования собранных устройств

программного обеспечения. Функциональное тестирование, в отличие от периферийного сканирования, не дает точного указания на дефектные цепи и выводы компонентов. Но в большинстве случаев проведение этих работ оправдано за счет максимального покрытия и короткого времени тестирования.

Тестирование электронных устройств на производстве методом периферийного сканирования

Теперь рассмотрим следующую методику тестирования, которая позволяет контролировать качество монтажа и отбраковывать устройство еще до стадии функционального тестирования. Это JTAG-тестирование.

Тесты для периферийного сканирования помогают повысить качество разрабатываемых устройств и снизить затраты на этапе серийного производства. Основное преимущество этой технологии — возможность тестирования устройств с ограниченным доступом к выводам микросхем в корпусах BGA, COB и QFP.

В последнее время в связи с большим распространением стандарта JTAG и, соответственно, микросхем с его поддержкой метод периферийного сканирования становится все более доступным.

Производители микросхем сопровождают свои продукты BSDL-файлами, в которых содержится информация об архитектуре регистров периферийного сканирования. Современные программные средства для

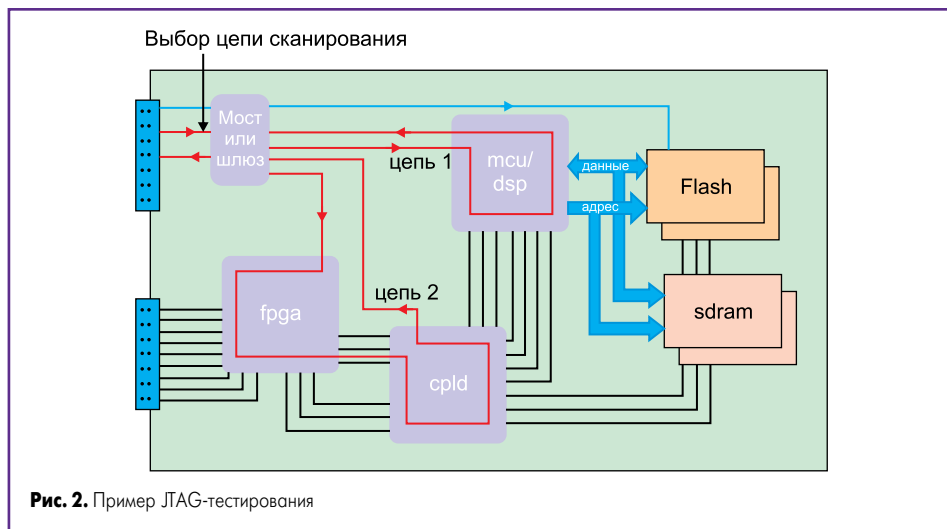


Рис. 2. Пример JTAG-тестирования

JTAG-тестирования позволяют автоматизировать процесс, используя данные схемотехники из САПР. Все это упрощает подготовку и использование JTAG-тестирования.

На рис. 2 видно, как можно проверить компоненты, которые подключены к шине тестируемой микросхемы, но напрямую не поддерживают стандарт JTAG (например, память Flash и SDRAM).

При проектировании электронных устройств требуется предварительная подготовка схемы изделия. Как минимум это использование компонентов, поддерживающих стандарт IEEE 1149.1, правильное соединение этих компонентов, вывод JTAG-портов на внешние контакты или разъемы.

JTAG-тестирование позволяет выявить «непопай»⁵ в выводах цифровых микросхем с разными типами корпусов, включая VGA, замыкания, обрывы, а также нерабочие микросхемы с цифровыми интерфейсами. Очень важно выявить все эти дефекты, так как если непроверенная плата переходит на этап программирования, могут возникнуть проблемы с запуском памяти и периферии. При этом будет сложно установить, в чем причина неполадок: в неверных настройках ПО или дефекте монтажа. JTAG-тестирование позволяет предупредить эту проблему.

Однако у JTAG-тестирования есть свои недостатки. Во-первых, это невысокая производительность по сравнению с функциональным тестированием. Во-вторых, метод предназначен для тестирования цифровой электроники, соответственно, исключаются аналоговые части устройства. В-третьих, важно учитывать, что JTAG-тестирование проверяет только целостность связей, но не их качество. Импеданс, паразитная емкость и т. д. — все эти качественные параметры могут существенно повлиять на работу высокоскоростных схем.

JTAG-тестирование имеет ряд других ограничений:

- Невозможно обнаружить дефекты монтажа, связанные с цифровыми или аналоговыми элементами, которые не имеют JTAG-поддержки, недоступна также диагностика дефектов связей между ними.
- Невозможно выполнить функциональные тесты или тесты, направленные на обнаружение неисправностей, которые являются той или иной функцией времени.
- Невозможно выполнить тесты, направленные на обнаружение таких дефектов шин данных, как дрожание фазы, паразитные связи, интерференция и т. д. (тесты для шины PCI).

Но в то же время JTAG-тестирование обладает серьезным преимуществом: это глубокий анализ работоспособности микросхем и модулей для выборочной проверки электронных устройств в промышленной партии. Это важное дополнение, а в некоторых случаях — замена внутрисхемного тестирования с помощью «ложа гвоздей» или «летающих» щупов. JTAG позволяет оптимизировать оборудование для полноцен-

ного тестирования либо сократить время на тестирование при комплексном подходе, когда оно используется совместно с другими методами.

Также по мере роста требований к миниатюризации электронных устройств JTAG-тестирование позволяет уменьшить габариты печатной платы, при этом нет необходимости в размещении на ПП группы контактных площадок для внутрисхемного тестирования с помощью «ложа гвоздей».

Внутрисхемное тестирование

Хотя периферийное сканирование по технологии JTAG набирает все большую популярность, классический метод внутрисхемного тестирования, который начал развиваться в 1970–80-х годах, успешно применяется до сих пор.

Внутрисхемное тестирование — это технология проверки отдельных компонентов на плате или фрагментов схем с помощью специального оборудования (ICT-станций) и оснастки (игольчатого адаптера). Благодаря этой методике тестирования можно анализировать отдельные компоненты и аналоговые части схем. Ее успешно применяют на крупносерийном производстве, то есть в тех случаях, когда другие современные технологии не справляются.

Условно внутрисхемное тестирование можно разделить на аналоговое и цифровое. При аналоговом внутрисхемном тестировании обычно проверяются следующие характеристики:

- наличие коротких замыканий и обрывов;
- номиналы дискретных компонентов (резисторов, конденсаторов, индуктивностей, дискретных полупроводниковых приборов);
- наличие и правильность установки микросхем.

Этот метод тестирования позволяет обнаружить большое количество дефектов сборки, поэтому аналоговое внутрисхемное тестирование часто называют анализом производственных дефектов.

При цифровом внутрисхемном тестировании цифровые микросхемы проверяются на соответствие таблице истинности.

Поскольку эта технология основана на физическом контакте иглол с контактами тестируемых компонентов, возникает ряд трудностей при реализации этого подхода в тестировании.

Постоянная миниатюризация компонентов приводит, в том числе, к уменьшению физических размеров контактных площадок и перемещению их под корпус. Также в многослойных печатных платах значительное количество соединений реализовано во внутренних слоях. Все это приводит к необходимости вывода контактных площадок для ICT-адаптера на одну из сторон платы, что в свою очередь вызывает увеличение ее габаритов и усложняет их трассировку, а зачастую, например в высокочастотных шинах, это невозможно в принципе.

Один из вариантов решения проблем — использование метода тестирования «летающими» щупами или «летающими» матрицами. Этот подход позволяет уйти от необходимости вывода специальных контактных площадок для тестирования, но значительно увеличивает время проверки, что является существенным ограничением для серийного производства.

Другой и, наверное, основной способ оптимизации технологии внутрисхемного тестирования без ущерба для плотности покрытия тестами печатной платы и времени тестирования — комплексный подход, который заключается в совмещении классического ICT с JTAG-тестированием. Предварительный расчет покрытия печатной платы тестами и распределение их между JTAG и ICT позволяет минимизировать число площадок для иглол ICT и, соответственно, упростить и удешевить тестопригодную плату. Применение таких методов требует соответствующего подхода при проектировании электронного устройства, анализа тестопригодности электрических схем и их корректировки.

Выводы

Таким образом, мы можем сформировать основные критерии, которые определяют выбор методики тестирования:

1. Масштабность производства.
2. Сложность продукта.
3. Наличие особых требований к качеству (пример: электроника ответственного применения).

Так, например, для сравнительно простых устройств в малых партиях достаточно использовать функциональное тестирование, а для простой электроники в крупных сериях — внутрисхемное тестирование, так как оно обеспечивает максимальную скорость. Для тестирования цифровой электроники с поддержкой технологии JTAG оптимальным выбором будет периферийное сканирование: оно позволяет отладить процесс производства и скорректировать его на ранних этапах.

При планировании массового производства необходимо учитывать производительность всех методов тестирования и такое их сочетание, чтобы получить минимальное время на тестирование одного устройства при максимальном покрытии тестами. Например, во многих случаях тестирование с помощью «ложа гвоздей» и периферийное сканирование являются предпочтительными методами по сравнению с функциональным тестированием и тестированием «летающими» щупами с точки зрения скоростных характеристик.

Соответственно, именно комплексное тестирование, то есть совмещение различных технологий в грамотной пропорции, сегодня является оптимальным вариантом для проверки и анализа качества электроники на производстве. По этой причине на первый план выходит предпроектный анализ тестопригодности и покрытия тестами. Он позволяет изначально спланировать и обосновать применимость и степень использования описанных выше подходов в каждом конкретном проекте.

⁵ Непопай — дефект паяного соединения: недостаточное заполнение припоем зазора между деталями или отсутствие прочного соединения припоя с основным металлом.