

Тестирование межсоединений высокой плотности и встроенный тест платы

Технологии изготовления и сборки печатных плат быстро меняются, следуя в первую очередь за развитием портативной бытовой электроники. Наибольшими сериями выпускаются печатные платы сотовых телефонов — это вполне понятно, поскольку сегодня практически у каждого человека имеется хотя бы один сотовый телефон. Все больше потребителей желает не только говорить по телефону, но и передавать данные, что вынуждает операторов связи переходить с сетей передачи голоса на сети передачи данных. В процессе такого перехода по всему миру возникают вычислительные и информационные центры, которые обрабатывают большие объемы данных, генерируемые множеством приложений для сотовых телефонов.

Марк Лай (Mark Lau)

Сотовые телефоны и мобильные устройства становятся движущей силой инноваций в области электронных технологий. Так, потребность в постоянном подключении к Интернету для получения последних новостей или обновлений программного обеспечения заставляет производителей искать способы повысить скорость передачи данных сотовых телефонов и уменьшить потребляемую мощность, чтобы увеличить время работы устройств от батарей. Да и постоянное стремление потребителей иметь функционально насыщенные, тонкие, легкие и энергоэффективные гаджеты порождает потребность в технологии межсоединений высокой плотности (HDI). В настоящее время эта тенденция буквально пронизывает все уровни производства электроники — от полупроводниковых интегральных схем (ИС) до печатных плат и технологии поверхностного монтажа.

Перспективы развития отрасли

Рост полупроводниковой промышленности превзошел прогнозы, основанные на законе Мура: технологические нормы сократились с 28 до 22, а теперь и до 14 нм, что позволило увеличить быстродействие и снизить энергопотребление ИС. Максимальный выигрыш от применения данной технологии получили центральные процессоры (ЦП), ставшие основой микроконтроллеров, а в комбинации с другими электронными функциональными узлами — «системами-на-кристалле» (СнК). Такие инновации, как переходные отверстия в кремнии (TSV), позволили создать объемные интегральные схемы (3D ИС) за счет соединения накладываемых друг на друга кремниевых кристаллов, которые затем упаковываются в компактные корпуса. Наложенные друг на друга кремниевые кристаллы могут изготавливаться по одной технологии, как в случае памяти DDR, или могут быть системой СнК, объединяющей разные технологии или функции.

На рис. 1 показана тенденция роста количества выводов корпусов ИС. Спадающая кривая зависимости средней площади корпуса на один вывод демонстрирует растущую плотность выводов корпусов ИС.

Тенденция повышения степени интеграции ИС проявляется в сокращении размеров печатных плат по мере того, как все больше кристаллов интегрируется в один корпус высокой плотности. Число контактов ввода/вывода (I/O) для корпусов высокой плотности таких ИС немного меньше общего числа контактов I/O всех объединенных кристаллов. Поставщики корпусов ИС увеличили число рядов шариковых выводов многовыводных корпусов, например корпусов BGA, стремясь удовлетворить потребность в большем числе контактов I/O. Увеличение числа рядов шариковых выводов корпуса обеспечивает до 25% дополнительных

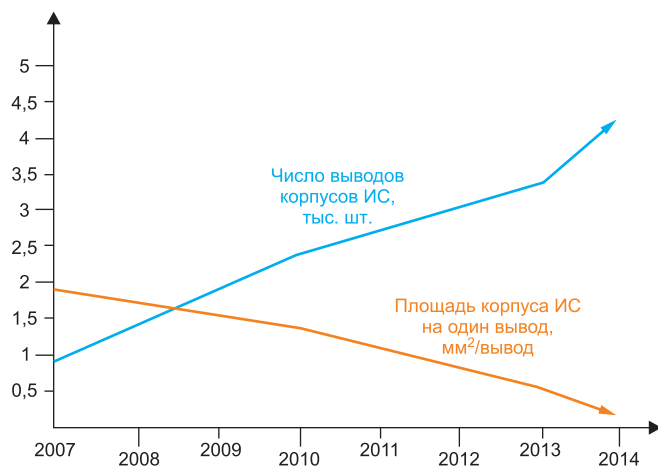


Рис. 1. Современные тенденции роста числа выводов корпусов ИС

контактов I/O при той же площади. В новых корпусах не только повысилось число рядов шариковых выводов, но и сократился шаг между ними с 0,5 до 0,4 мм. Тенденция развития многвыводных корпусов указывает на увеличение числа изготавливаемых корпусов с шагом не более 0,5 мм, тогда как спрос на корпуса с шагом выводов больше 0,5 мм остается прежним. Это верный признак того, что разработчики печатных плат переходят на корпуса с малым шагом для сокращения размера платы.

Почему именно HDI?

Многвыводные корпуса с шагом выводов 0,5 мм едва позволяют пропустить между площадками выводов печатный проводник шириной 0,075 мм с минимальным зазором. В отличие от этого корпус с шагом выводов 0,4 мм (с учетом минимальных зазоров) не предоставляет достаточно места для проведения печатного проводника между выводами (рис. 2), что вынуждает программы для разводки печатных плат переносить проводник на внутренние слои, а не вести его по поверхности. В результате число слоев печатной платы может возрасти. А это порождает проблемы, поскольку каждый новый слой непосредственно конфликтует с тенденцией потребности в «тонких» изделиях.

Одно из решений подобной проблемы заключается в применении инновационных материалов печатной платы и переходных отверстий для межслойных соединений платы HDI. В настоящее время диаметр переходных отверстий платы уменьшился до микроскопических размеров, а отверстия размещаются друг над другом. Кроме того, применяются глухие переходные отверстия для минимизации емкости и обеспечения целостности сигнала на скоростях выше 5 Гбит/с. Для создания печатной платы HDI используется комбинация некоторых или всех этих переходных отверстий.

Внимание: возможны проблемы!

Установка на печатную HDI-плату многвыводных корпусов с малым шагом и обеспечение 100% качества всех паяных соединений с уровнем дефектов менее десяти на миллион — целая наука. С этой целью необходимо применять паяльные пасты специального состава, точно устанавливать элементы поверхностного монтажа и использовать правильные профили нагрева в многослойных печах для пайки оплавлением. Сегодня в оборудовании для установки элементов поверхностного монтажа широко применяются разнообразные видеосистемы, которые обеспечивают точное совмещение выводов компонентов с площадками печатной платы. Кроме того, неотъемлемой частью современных сборочных линий поверхностного монтажа стало автономное оборудование автоматизированного оптического контроля (АОК), контролирующее распределение паяльной пасты до оплавления и качество пайки

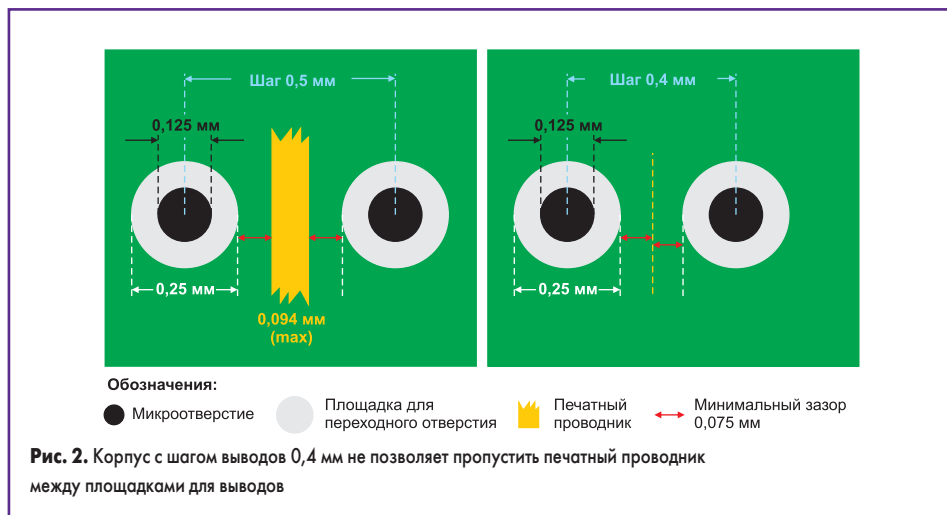


Таблица 1. Проблемы тестирования печатных плат HDI после монтажа компонентов

АОК после оплавления	АРК	ВСТ	ФТ
Невозможность контроля 3D ИС и большой процент скрытых точек	Требуется высокая точность для разделения пайки внутри 3D ИС и пайки на плате	Ухудшение доступа по мере того, как большее число печатных проводников переходит на внутренние слои платы	Неприемлемо большое время тестирования для компенсации области охвата, утраченной тестами АОК, АРК и ВСТ

после оплавления. Иногда для инспекции паяных соединений под корпусами ИС, которые не видны в АОК, применяются ручные или автоматизированные системы рентгеновского контроля (АРК).

Подавляющее число паяных соединений на HDI-платах с объемными ИС являются невидимыми, что снижает эффективность АОК и, следовательно, степень его распространения. К тому же применение АРК сокращается из-за того, что они неэффективно дифференцируют пайку по трем плоскостям: внутри корпуса 3D ИС, соединение корпуса 3D ИС с печатной платой и пайку на нижней стороне печатной платы. В результате ответственность за обеспечение качества изготовления печатных плат переносится на электрические тесты (внутрисхемные — ВСТ и функциональные — ФТ).

К сожалению, распространение корпусов с шагом выводов 0,4 мм сужает возможности доступа электрических тестов к печатным проводникам, которые переместились с поверхности платы на ее внутренние слои. В результате охват тестов ВСТ сократился, а компенсировать этот недостаток должны тесты ФТ. Однако применение ФТ для компенсации недостаточного покрытия тестов ВСТ, как правило, приводит к увеличению времени разработки тестов и самого тестирования, что увеличивает затраты. Проблемы, связанные с тестированием печатных плат HDI после монтажа компонентов, представлены в таблице 1.

В настоящее время широко применяются печатные HDI-платы с одним корпусом ЦП или СнК с малым (или очень малым) шагом выводов, который играет роль «мозга» в окружении периферийных ИС и дискретных компонентов. Подобные конструкции можно найти в мобильных телефонах, планшетах, спутниковых и кабельных ТВ-приемниках, автомобильных компьютерах, ноутбуках

и серверах. На рис. 3 приведены примеры таких плат с ЦП или СнК. Эти устройства (кроме серверов) имеют ограниченную площадь платы, что затрудняет доступ для электрического тестирования. Современные стратегии тестирования для таких HDI-плат используют АОК, АРК и ВСТ для обнаружения на ранних стадиях таких дефектов производства, как короткие замыкания, обрывы и неправильные/неисправные компоненты, оставляя возможность ФТ использовать драгоценное время тестирования именно на проверку функциональности собранной платы. Сокращение охвата тестирования производственных дефектов усложняет диагностику неисправностей. ФТ не выявляет дефект, поскольку обнаруживает только симптомы: занятый отладкой специалист должен вручную диагностировать характер неисправности и найти дефект.

Тестирование печатных плат HDI

Существует потребность в совершенствовании стратегии производственного тестирования собранных HDI-плат. По мере того как в результате использования корпусов с малым шагом контактов будет расти доля невидимой пайки и снижаться объем припоя, применение методов визуального контроля будет существенно затруднено и точность выявления дефектов станет сокращаться. Для компенсации пробелов исследования АОК, АРК и ВСТ необходима соответствующая технология электрического тестирования с ограниченным доступом. Одно из возможных решений предлагает стандарт IEEE 1687, но пройдет еще несколько лет, прежде чем появятся серийные ИС, совместимые с IEEE 1687. Для широкого распространения стандарту IEEE 1149.1 понадобилось почти 10 лет. Разработчики ИС вынуждены добавлять в кристаллы узлы для периферийного сканирования и резервиро-

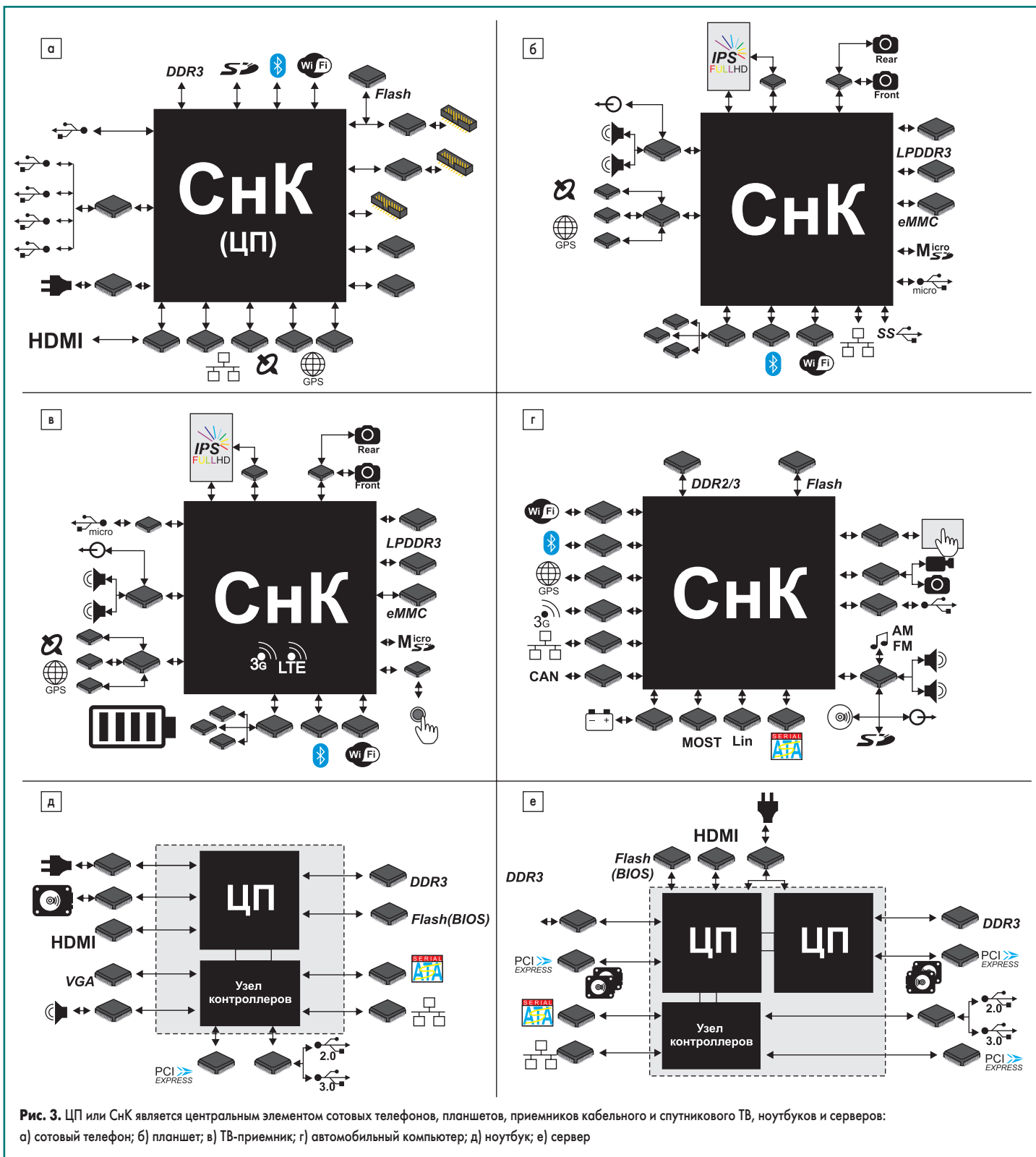


Рис. 3. ЦП или СНК является центральным элементом сотовых телефонов, планшетов, приемников кабельного и спутникового ТВ, ноутбуков и серверов: а) сотовый телефон; б) планшет; в) ТВ-приемник; г) автомобильный компьютер; д) ноутбук; е) сервер

вать четыре контакта I/O (TRST необязателен) в корпусе ИС, чтобы проектировщики печатных плат могли воспользоваться функцией периферийного сканирования и развести цепи от TDO одной ИС к TDI следующей ИС. Остается надеяться, что скорость реализации и адаптации в кремнии стандарта IEEE 1687 окажется выше.

Концепция IEEE 1687 заключается в применении тех же контактов корпуса, что и в IEEE 1149.1 (то есть TMS, TDI, TDO, TCK и опционального TRST), для перевода ИС в тестовый режим с целью проверки и контрольно-

го выполнения всех функций и, если возможно, использования выходов ИС для взаимодействия с периферийными устройствами. Оба стандарта (IEEE 1149.1 и IEEE 1687) предназначены для того, чтобы разработчики обеспечили доступ внутрь кристалла независимо от базовой логики с целью проверки ИС, когда она смонтирована на плате.

Встроенный тест платы (ВТП) использует определенный в стандарте IEEE доступ внутрь кристалла для проверки соединения ИС с печатной платой и ее состояния. Затем он расширяет тестирование на периферийные

компоненты и доходит до тестирования последующих ИС. В качестве примера расширения тестов через совместимые с IEEE 1149.1 устройства до DDR и разъемов соответственно можно привести Silicon Nails («кремниевые гвозди») или технологию расширения охвата (cover-extend technology).

Стандарт IEEE 1687 находится на стадии разработки, и совместимые с ним устройства пока отсутствуют. Хотя технология контроля кремниевых ИС Intel SVT и несовместима с IEEE 1687, она использует концепцию встроенного теста платы (ВТП). Во время началь-

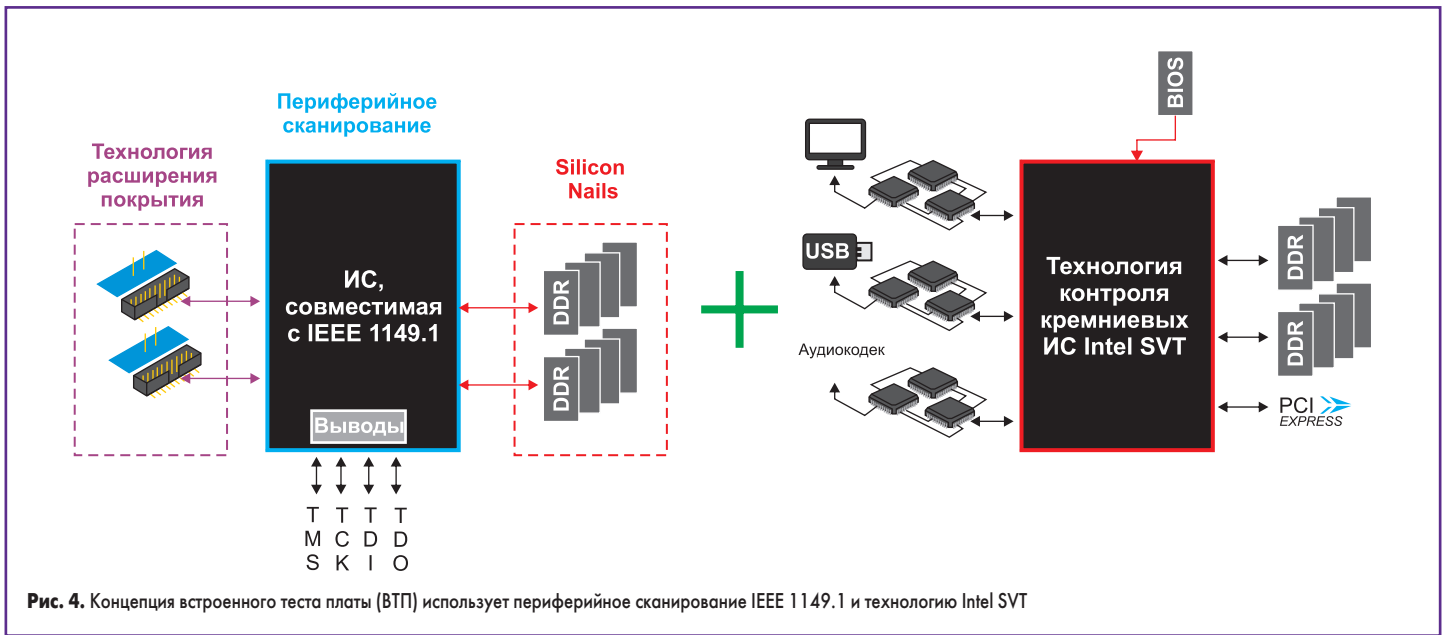


Рис. 4. Концепция встроенного теста платы (ВТП) использует периферийное сканирование IEEE 1149.1 и технологию Intel SVT

ной загрузки системы, в ходе которой выполняется обнаружение внутренних устройств и инициализация устройств связи, SVT работает в тандеме с BIOS и взаимодействует с периферийными ИС. Ее можно использовать для расширения тестов на периферийные области печатной платы, распространяя тест на разъемы для подключения дисплеев и на USB-порты. В настоящее время технология Intel SVT доступна для микроархитектур с кодовыми названиями Haswell, Broadwell и Skylake. HDI-платы для планшетов и ноутбуков с ограниченным доступом для тестирования выиграют от расширения области охвата тестов в результате применения Intel SVT. Концепция комбинированного охвата теста ВТП показана на рис. 4.

Концепция ВТП подходит для тестирования собранных HDI-плат, в которых в качестве «мозга» используется один или несколько ЦП или SnK. Охват теста для таких HDI-плат велик, поскольку ЦП или SnK может выполнять почти все внутренние функции и расширять их до периферии печатной платы.

Для успешного принятия ВТП следует учитывать его применение на ранних этапах проектирования платы, чтобы разработка испытательного ПО проходила одновременно с созданием печатной платы. В идеальном случае ВТП должен внедряться начиная с первого прототипа печатной платы и развиваться до этапа массового производства. При этом программа тестирования ВТП должна быть реализована так, чтобы последовательно расширять охват теста и доводить его до совершенства к моменту передачи в производство. Начальные инвестиции на принятие новой технологии велики, но они окупаются в последующих печатных платах и моделях, увеличивая охват электрическими тестами, что позволит сохранить и потенциально улучшить продуктивность ФТ для возврата инвестиций.

Потери тестового покрытия, возникающие из-за скрытых печатных проводников, могут быть восстановлены с помощью ВТП,

Таблица 2. ВТП дополняет ВСТ и положительно влияет на тестирование HDI-плат после монтажа компонентов

АОК после оплавления	АПК	ВСТ + ВТП	ФТ
Невозможность контроля 3D ИС и большой процент скрытых точек	Требуется высокая точность для разделения пайки внутри 3D ИС и пайки на плате	Разработка с учетом тестирования с помощью взаимодополняющих тестов ВСТ и ВТП для восстановления тестового покрытия	ВСТ + ВТП предварительно выявляют структурные и базовые функциональные дефекты. ФТ, главным образом, выполняет тестирование характеристик

дополняющего ВСТ. Тесты ВСТ и ВТП образуют идеальную пару, поскольку ВСТ может выполнять тестирование без подачи питания для выявления коротких замыканий, обрывов и дефектных компонентов. Это гарантирует безопасное включение печатной платы, после чего тест ВТП может продолжить работу, начиная с ЦП или SnK и заканчивая периферийными областями платы. Влияние ВТП на тестирование плат HDI после монтажа компонентов показано в таблице 2.

Основной составляющей успеха ВТП, как в случаях с ВСТ и ФТ, является тестовая оснастка и ее автоматизация. Технология разработки с учетом тестирования (DFT) чрезвычайно важна для успешной реализации электрических тестов. Она позволяет внести в проект и разместить на плате контактные площадки, обеспечивающие взаимодополняющее тестовое покрытие ВСТ, ВТП и ФТ. Повторяемость и надежность тестовой оснастки, обеспечивающей стабильный контакт пробников с контрольными площадками, сокращает число ложных отказов, что позволяет реализовать все возможности тестера. Автоматизация вставки и последовательного подключения разъемов к печатной плате для тестирования внешних интерфейсов устраняет ошибки оператора и помогает достичь согласованной длительности циклов тестирования. С уменьшением размера контрольных площадок и разъемов растут требования к качеству и точности позиционирования пробников. Для электрического тестирования HDI-плат необходим тестер, тестовая оснастка и средства автоматизации, которые работают как единое решение, максимально реализующее потенциальные возможности

теста. Кроме того, электрическое тестирование требует, чтобы решение для испытаний проектировал, планировал и внедрял один и тот же исполнитель, а не три разных производителя, поставляющих свои компоненты.

HDI-платы, используемые в серверах, обладают достаточной площадью, чтобы обеспечить доступ более чем к 80% всех цепей. Стратегия тестирования также будет использовать ВСТ на первом этапе электрического тестирования без размещения ЦП и DIMM в своих гнездах. А после ВСТ и установки ЦП и DIMM в гнезда тестирование будет продолжено в настольной испытательной станции с помощью ВТП. Поскольку в микросерверах ЦП и DDR, как правило, припаиваются, комбинация ВСТ и ВТП обеспечивает превосходное тестовое покрытие.

Выводы

Благодаря постоянной интеграции новых функций в SnK с шагом выводов менее 0,5 мм будущее тестов ВТП выглядит весьма многообещающим. В дальнейшем SnK станет основным компонентом всех мобильных электронных приборов и будет предназначаться для «Интернета вещей». Эти быстрые и энергоэффективные изделия будут стимулировать применение межсоединений высокой плотности, перенеся почти все цепи (кроме цепей питания и «земли») на внутренние слои платы и создав потребность в ВТП. И хотя сейчас ВТП находится в стадии принятия, растущее распространение стандарта IEEE 1687 позволит использовать данный тест и перейти к основной технологии в ближайшие несколько лет.