Altium Designer 16.0: обзор новых возможностей

Компания Altium Limited выпустила очередное обновление своего ведущего программного обеспечения для проектирования печатных плат Altium Designer 16.0. О его выходе на российский рынок было объявлено на форуме «Altium: навстречу российскому пользователю», который состоялся в Москве 17 ноября 2015 года. В статье рассмотрены ключевые нововведения и изменения, которые появились в этой версии.

Александр Фень

alexander.fen@altium.com

Версия Altium Designer 16.0 представляет собой полномасштабное обновление программной платформы и объединяет как абсолютно новые инструменты, так и многочисленные усовершенствования, разработанные с учетом пожеланий пользователей. Наряду с развитием программных инструментов проектирования была проведена работа по оптимизации программного обеспечения для повышения стабильности его функционирования, благодаря чему конструкторы могут создавать передовые электронные устройства еще быстрее и в более комфортных условиях.

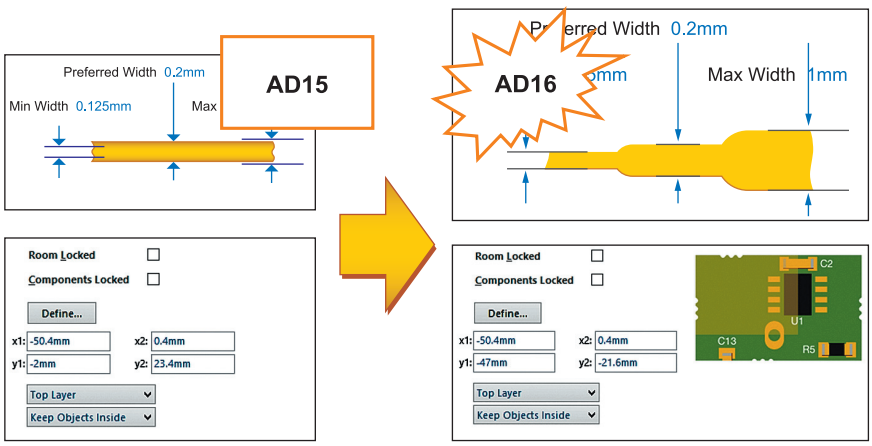

Рис. 1. Обновленная графика объектов правил

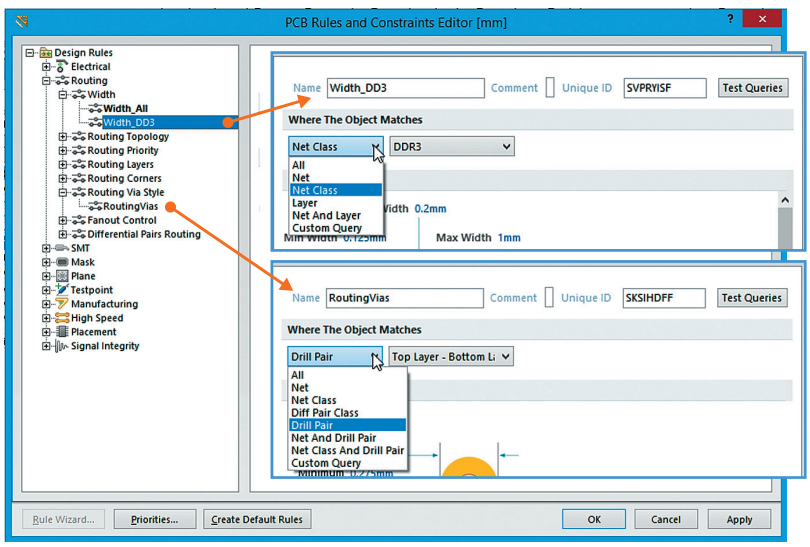

Рис. 2. Обновленная адаптивная настройка правил проектирования

Формирование и управление правилами проектирования

Правила проектирования — это основа процесса проектирования печатной платы и, как следствие, качества готовой продукции.

Редактор правил проектирования всегда был сильной стороной Altium Designer, однако в новой версии выполнен целый ряд усовершенствований по формированию и отслеживанию выполнения правил проектирования.

Редактор правил и ограничений проектирования

В Altium Designer 16.0 редактор правил и ограничений PCB Rules and Constraints Editor, который доступен в документе печатной платы (*.*PcbDoc*) по выбору пункта меню **Design** > **Rules**, претерпел полномасштабное обновление:

1. Изменена, а в некоторых случаях и введена поясняющая графика объектов раздела ограничений (Constraints), к которым применяются ограничения и создаются правила (рис. 1).
2. Изменен интерфейс ввода правил и ограничений на основе выпадающих списков, позволяющих легко и быстро выбирать любые параметры и объекты проекта. Выпадающие списки адаптивно настроены в зависимости от работы с конкретным правилом (рис. 2). Одновременно сохранена возможность ручного ввода сложных запросов (Custom Query) в более сложных случаях на основе редакторов Query Helper и Query Builder.
3. Добавлена новая функция для проверки запросов (Test Queries), с помощью которой можно оценить область действия сформированного запроса. Функция проверки запроса включается кнопкой **Test Queries**, после чего открывается диалоговое окно отчета о результатах выполнения запроса Test Queries Result (рис. 3), в котором отображается количество объектов, удовлетворяющих

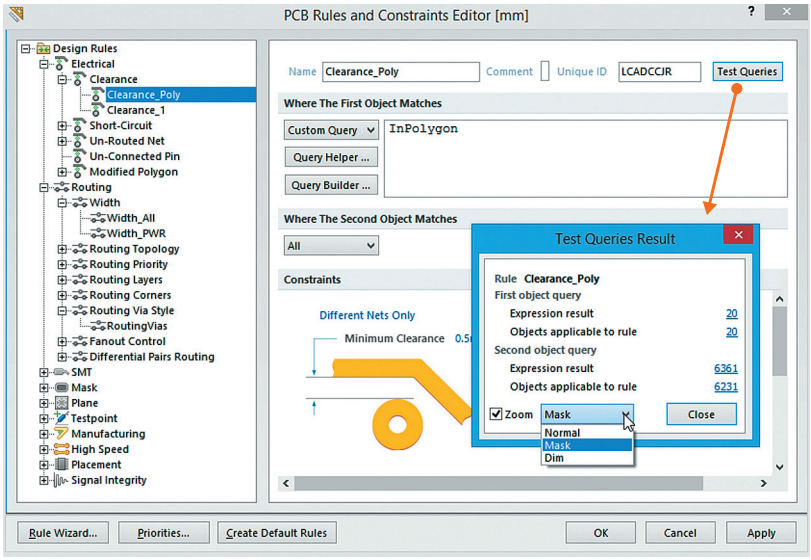

Рис. 3. Функция проверки области действия правила проектирования

условиям фильтра или запроса с учетом специфики правила и, таким образом, попадающих в область его действия. Это позволяет проверить полученный в результате фильтрации набор объектов в соответствии с необходимой областью действия правила. Для интерактивной и наглядной навигации отфильтрованных объектов в рабочем окне редактора печатной платы используется система выделения из вариантов «Нормальный» (Normal), «Маскирование» (Mask), «Затенение» (Dim) на основе выпадающего списка и функции масштабирования (Zoom).

Улучшена система отслеживания нарушений правил

В ранних версиях Altium Designer после выполнения пакетной проверки правил проектирования (DRC batch), при наличии нарушений, активировалась панель (Message), в новой версии усилен акцент работы проверки нарушений (DRC violation) на панели PCB Rules and Violations. Теперь она автоматически активируется по завершении пакетной проверки (DRC batch). В нижнем разделе панели PCB Rules and Violations при наличии нарушений и выборе нарушения система графически выделяет объект, участвующий в данном нарушении, и открывает окно **Violations Details**, где значительно расширены диалоги описания нарушений (рис. 4).

Правило Matched Lengths

В предыдущей версии существовал целый набор областей действия правила выравнивания длины (Matched Lengths) для высокоскоростных цепей, критичных к длине проводника (раздел правил High Speed). В новой версии Altium Designer работу с настройкой указанного правила значительно упростили. Теперь доступно два варианта (рис. 5):

- Group Matched Lengths — выравнивание длин в заданной группе;
- Within Differential Pairs — выравнивание длин внутри дифференциальной пары.

Визуализация электрических зазоров

Добавлена возможность динамического отображения зазоров (Display of Clearance Boundaries) во время трассировки, что позволяет своевременно определять стратегию прокладки проводника в случае плотной топологии (рис. 6). Для применения данной функции необходимо включить Display of Clearance Boundaries в настройках **DXP > Preferences > PCB Editor > Interactive Routing** в разделе Interactive Routing Options, дополнительная опция Reduce Clearance Display Area позволяет отображать только малую область вокруг области курсора (рис. 6) и тем самым снизить нагрузку на вычислительные ресурсы видеокарты. Оперативное включение/выключение Display of Clearance Boundaries в процессе трассировки доступно с помощью горячих клавиш **CTRL+W**.

Правило Clearance (Same Net)

Значительно усовершенствована работа правила зазора Clearance. Теперь в случае одной цепи Same Net правило отслеживает нарушения между различными объектами топологии (контактная площадка, область металлизации, печатная дорожка, переходное отверстие), принадлежащими к одной цепи, только в критичных случаях, где действительно наблюдаются нарушения либо по требованиям производства, либо по электрическим требованиям.

Развитие технологии проектирования для высокоскоростных интерфейсов

Начиная с версии Altium Designer 15.0 введены дополнительные объекты: маршруты сигналов (xSignals), которые объединяют элементарные цепи и позволяют проектировать трассы высокоскоростных сигналов с учетом общей длины маршрута.

С каждой новой версией совершенствуются инструменты для проектирования высокоскоростных маршрутов и их трассировки. В версии Altium Designer 16.0 сделан следующий ряд улучшений.

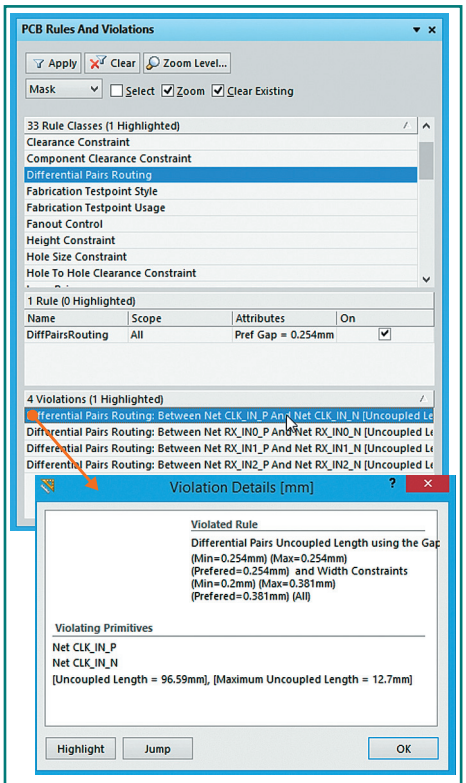

Рис. 4. Панель PCB Rules and Violations

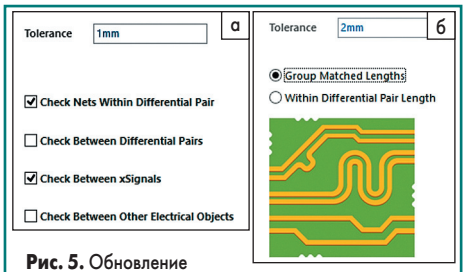

Рис. 5. Обновление правила Matched Lengths: а) AD15; б) AD16

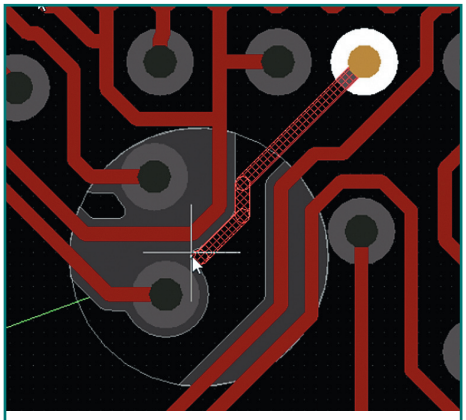

Рис. 6. Применение функции Display of Clearance Boundaries

Мастер маршрутов xSignals

В мастер маршрутов xSignals (xSignals Wizard), который запускается командой меню **Design > xSignals > Run xSignals Wizard**, появившейся в предыдущей версии, введен новый режим (on-board DDR3/DDR4) для создания многочисленных маршрутов xSignals-интерфейсов памяти стандарта DDR3/DDR4. Формирование маршрутов для интерфейса памяти выполняется в четыре этапа:

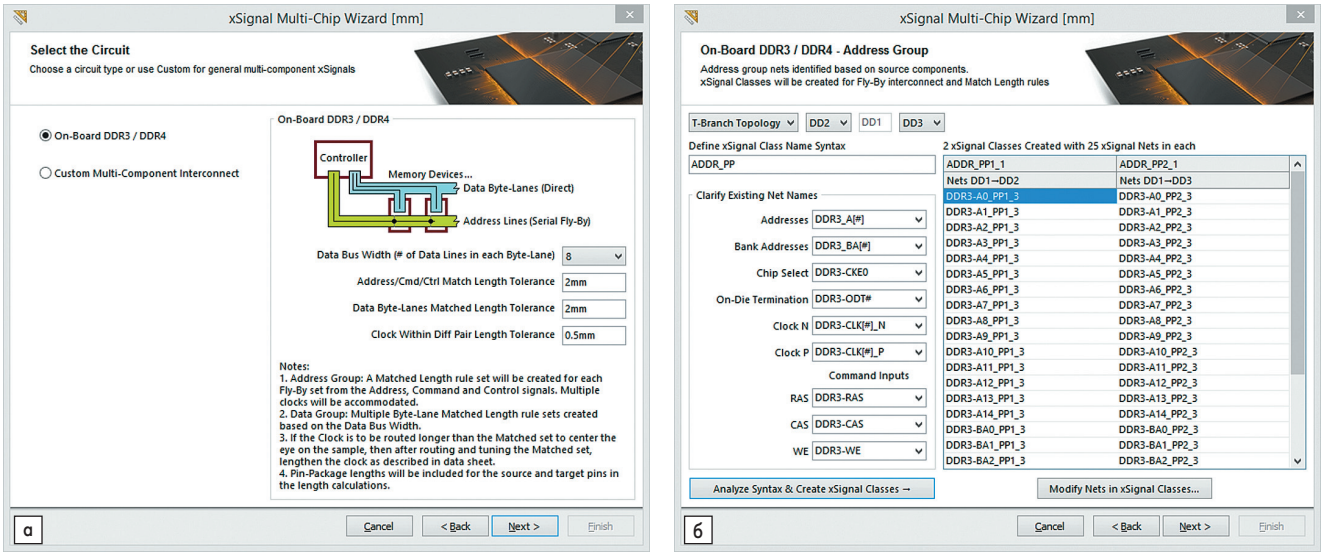

Рис. 7. Диалоговые окна xSignal Wizard: а) назначение правил; б) формирование классов

- Первый этап — выбор режима работы мастера и введение пользователем числовых значений для последующего формирования правил, соответствующих по длине цепей (Matched Length Groups), отдельно для групп цепей «Адреса/Команд/Управления» (Adress/Cmd/Ctrl) и для цепей «Шины данных» (Data Byte-Lanes), правил для группы, соответствующих по длине «Тактовых» (Clock) цепей внутри дифференциальных пар (Diff Pair Matched Lengths) (рис. 7а).
- На втором этапе пользователь указывает компонент источника сигнала и компоненты потребления сигнала.
- На третьем этапе задается тип будущей топологии цепей — Т-образная или Fly-By, для последней требуется указать последовательность пути прохождения будущей топологии. Мастер сам подбирает цепи шины адреса, цепи команд и управления. Пользователь может определять синтаксис наименования цепей и назначать цепи команд и управления. После выбора цепей для создания списка маршрутов xSignals выполняется команда Analyze Syntax and Create xSignals Classes. Мастер маршрутов xSignals на основе синтаксиса и анализа соединения компонентов сформирует перечень классов маршрутов xSignals (xSignals Classes), как показано на рис. 7б. Количество создаваемых классов совпадает с количеством модулей памяти.
- На четвертом этапе определяются маршруты для шин данных аналогично предыдущему шагу. Количество создаваемых классов совпадает с количеством шин данных, соединенных с модулями памяти.

По итогам работы мастера создаются классы цепей xSignals и правила выравнивания цепей. Приемы применения маршрутов xSignals в проектировании описаны в [1].

Учет длины выводов Pin/Pkg Length

В расчете длины (Signal Length) сигнальной цепи теперь учитывается конструктивная длина вывода корпуса (Pin/Pkg Length), что особенно актуально для интерфейсов, работающих на частотах более 500 МГц, где собственная длина вывода или проводка внутри корпуса, соединяющего вывод с кристаллом, оказывает ощутимое влияние на время прохождения сигналов [2]. Эта вносимая задержка, обусловленная аппаратными особенностями микросхемы, называется Pin-Package Delay. Производители микросхем предоставляют информацию о вносимых задержках, указывая время в пикосекундах или длину. В Altium Designer используется способ учета с указанием длины, поскольку в этом случае вносимую задержку легко прибавить к полной длине проводника или маршруту xSignal во время проектирования (рис. 8). Информация о значении параметра Pin/Pkg Length доступна в любом режиме работы с цепями в панели PCB.

Информацию о влиянии конструктивных особенностей микросхемы на время прохождения сигнала необходимо учитывать на этапе назначения входов/выходов (I/O) (рис. 2а) или после синтезирования прошивки FPGA. Значение Pin/Pkg Length вносится в свойства вывода (Pin Properties) в символе компонента в раздел (PCB Options) на этапе формирования библиотеки или на этапе проектирования схемы электрической, после передачи проекта в файл печатной платы значение длины передается в свойства контактной площадки (Pad) в раздел (Properties).

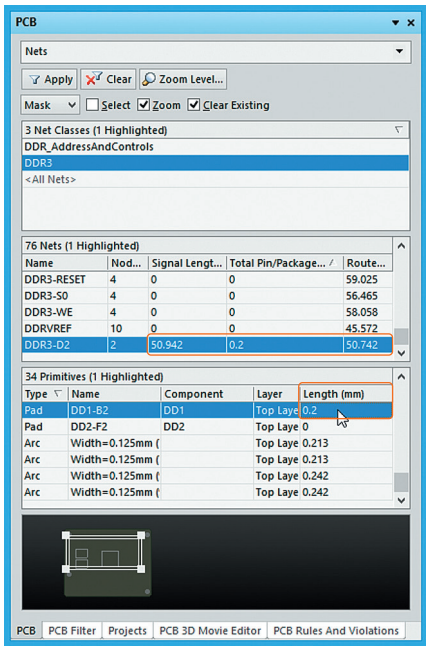

Рис. 8. Влияние параметра Pin/Pkg Length на сигнальную длину Signal Length в режиме Nets панели PCB

Улучшение трассировки дифференциальных пар

Значительно переработан механизм трассировки дифференциальных пар, теперь отвод трасс от начала маршрута и подключение к контактным площадкам при окончании маршрута стало корректнее, исправлены нарушения Uncoupled-Length-Violations, улучшена работа интерактивной трассировки пар и подстройка длины с применением инструмента Diff Pair Length.

Диалог Interactive Length Tuning

Обновлен алгоритм работы с правилами подстройки длины цепи в диалоговом окне **Interactive Length Tuning**, здесь пере-

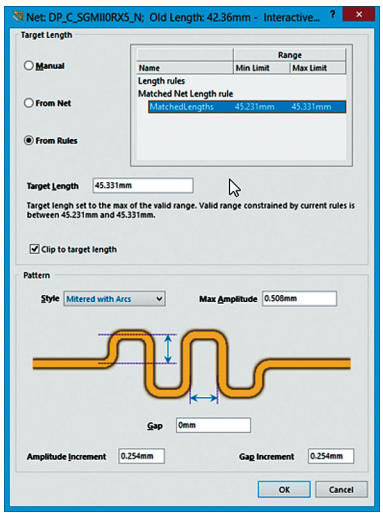

Рис. 9. Окно Interactive Length Tuning

числен весь список правил, относящийся к корректируемой цепи, где оперативно можно изменять активное правило для выравнивания — оно подсвечивается цветом и одновременно в заголовке окна прописывается его значение (рис. 9). По умолчанию из всех правил работает то, где длина наибольшая, если же для разных правил длины равны, то процедура выполняется согласно приоритету правил.

Размещение компонентов

Размещение компонентов на печатной плате является многоитерационным процессом, так как сводится к перебору возможных вариантов размещения соединяемых элементов и нахождению оптимального. Критерием оптимальности является минимальная сумма длин всех размещаемых на плате печатных проводников (либо более сложные целевые функции). Для повышения производительности решения задачи размещения компонентов к существующим инструментам компоновки в версии 16.0 добавлены новые механизмы.

Интерактивная система размещения

Интерактивная система размещения компонентов на печатной плате активна по умолчанию и содержит три режима, переключение между которыми производится циклически с помощью горячей клавиши **R** во время размещения компонента на печатной плате. Строка состояния у основания рабочей области указывает текущий режим размещения:

- Ignore Obstacles — игнорирование препятствий. Ручной режим размещения. По сути, этот режим являлся основным в предыдущих версиях Altium Designer. В нем применяется контроль зазоров между компонентами, используется для идентификации проводящий рисунок контактных площадок и рисунок шелкографии или же 3D-модели корпусов компонентов, только после размещения с помощью системы DRC.
- Push Obstacles — расталкивание препятствий. Размещаемый компонент отодвигает или расталкивает другие, чтобы освободить себе место между уже размещенными. Компоненты, объединенные в группы (Unions), могут быть отодвинуты, и их расположение в группе может измениться, но группы не разрушаются. Зафиксированные компоненты не могут быть перемещены. В этом режиме границы компонента идентифицируются прямоугольником, который объединяет все примитивы в компоненте.
- Avoid Obstacles (огибание препятствий) — размещаемый компонент, который будет огибать ранее установленные компоненты с учетом их контура и настроенных правил зазоров размещения. В этом режиме границы идентификации компонента аналогичны режиму Push Obstacles.

Динамическое выравнивание

При размещении компонента доступны функции выравнивания размещаемого компонента относительно ранее расставленных с помощью индикаторов (зеленых нитей), которые информируют о выравнивании устанавливаемого компонента по габаритному контуру либо по центрам контактных площадок:

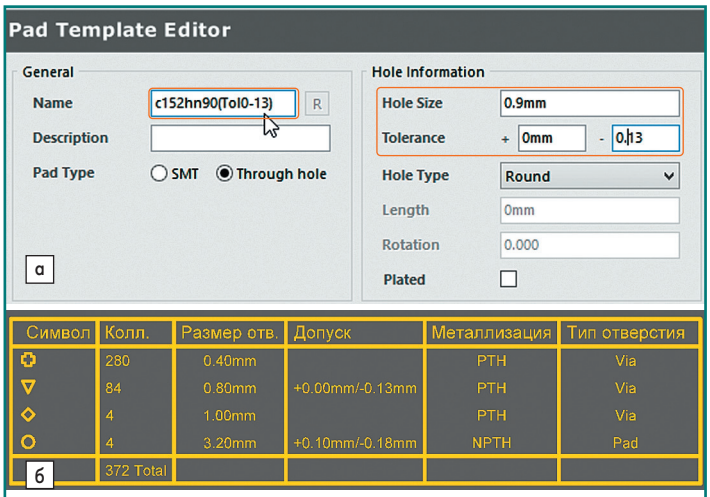

Рис. 11. Параметр Tolerance Hole:
а) свойства контактной площадки; б) генерируемая таблица отверстий

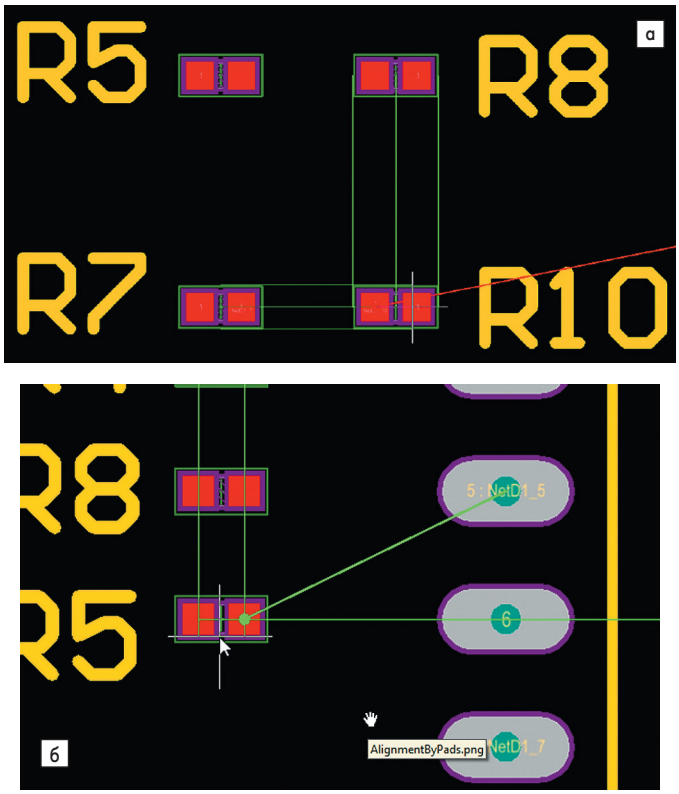

Рис. 10. Режимы динамического выравнивания компонентов:
а) выравнивание по контуру; б) выравнивание по центрам контактных площадок

- Нажатие и удержание клавиши **Ctrl** во время размещения компонентов позволяет просмотреть возможные варианты выравнивания относительно границ соседних компонентов (рис. 10а).
- Нажатие и удержание клавиши **Shift** во время размещения компонентов позволяет просмотреть возможные варианты выравнивания по контактным площадкам соседних компонентов (рис. 10б).

Дополнительные возможности

Допуски на отверстия сверлений

Знание допусков для отверстий при изготовлении печатной платы позволяет устранить некоторые неопределенности и упростить производство с соблюдением требуемого качества. В Altium Designer 16.0 теперь доступно вводить значения производственных допусков сверления в диалоговых окнах контактных площадок Pads (рис. 11а) и переходных отверстиях Vias. Значения допусков на сверление доступны в генерируемой таблице отверстий (**PCB > Place > Drill Table**) с возможностью группировки отверстий по параметру Tolerance (рис. 11б).

Цветовая маркировка цепей

В Altium Designer 16.0 изменен инструмент выделения цепей на электрической схеме, которая обеспечивает удобство ее чтения и анализа.

Инструмент Net Color теперь расположен в панели инструментов Wiring и в меню команд **View > Set Net Colors**, а область его действия распространяется на все листы проекта, где размещается указываемая цепь. Введена возможность передачи цветовой маркировки цепи в редактор печатных плат из схемы электрической, что также способствует ускорению выработки стратегии трассировки ключевых цепей и интерфейсов.

Для передачи информации о цвете цепей в редактор печатных плат требуется установить значение to Find Differences в настройке объекта Changed Net Colors в разделе Comparator в диалоговом окне **Project Options**, доступном по меню команд **Project > Project Options**.

Генерация 3D-моделей компонентов

Добавлен механизм автогенерации 3D-модели корпуса компонента в формате STEP с помощью встроенного мастера создания

посадочных мест IPC-совместимых (IPC Compliant Footprint Wizard) с возможностями визуального предпросмотра и сохранения файла отдельно от файла библиотеки посадочных мест.

Заключение

В данном материале отражены наиболее значимые обновления. Нужно также отметить наличие большого количества обновлений с генерацией производственных файлов и конструкторской документацией, механизмы работы с многовариантными проектами и многочисленные исправления проблем, отражающихся на скорости и стабильности функционирования программного обеспечения. Из вышесказанного следует, что разработчики САПР Altium Designer не только развивают инструментарий программы, но и заботятся о качестве ее функционирования.

Литература

1. www.wiki.altium.com/display/RUPROD/Altium+Designer+15.0
2. www.techdocs.altium.com/display/ADOH/((Pin-Package+Delay+Support))_AD